

# 10 電界効果トランジスタ (2-2) MOSキャパシタ(理想からのずれ) (2-3) トランジスタ動作

# MOSキャパシタの 理想特性からのずれ

## 理想的MIS構造からのずれ(1) 仕事関数の差

### 仕事関数差

### ここでの「 $\varphi_s$ 」は表面電位ではないです.

理想MIS構造では、 $\varphi_{M}=\varphi_{S}$  vs. 実際MIS構造では、 $\varphi_{M}\neq\varphi_{S}$ 実際のしきい値電圧と理論しきい値電圧の関係  $V_{T}=V_{TI}+V_{FB}$ 



## 理想的MIS構造からのずれ(2) 想定外の電荷の存在

### 理想MISモデルで想定していない電荷の存在

### 固定電荷(Fixed charge)

SiO<sub>2</sub>の界面もしくはその近傍に存在し, 電界によって動くことができないもの.

### 捕獲された電荷(Oxide trapped charge)

SiO<sub>2</sub>膜内に広く分布.高エネルギーのX 線や高電界で注入された高エネルギー電 子(ホットエレクトロン)などが主な生 成の起源.

### 可動イオン(Mobile ionic charge)

SiO<sub>2</sub>膜内に不純物として入ってしまったNaイオンやKイオン、温度や電界によって膜内を動く、(注)このずれは、時間とともにシフト量が変わるため、単純な+-方向へのシフトにはならない.



S. M. Sze and Kwok K. Ng: Physics of Semiconductor Devices 3rd Ed. (Wiley Interscience, 2007, New Jersey) p.213.





### 絶縁膜中および界面の固定電荷

酸化膜中もしくは界面に固定された電荷による CV特性のずれは、比較的単純であり、V<sub>g</sub>軸方 向にシフトするだけである.

界面の固定電荷によるものであれば、その面密 度をQ<sub>IFC</sub>とすれば、特性のずれは、

$$\Delta V_{\rm IFC} = -\frac{Q_{\rm IFC}}{C_{\rm OX}}$$

酸化膜中の固定電荷によるものであれば、その サイトの深さ方向の密度分布をNorc(z)とすれ ば、特性のずれは、

$$\Delta V_{\rm OFC} = -\frac{q}{C_{\rm OX}} \int_0^{d_{\rm OX}} \frac{z N_{\rm OFC}(z)}{d_{\rm OX}} dz$$

IFC: Interface Fixed Charge OFC: Oxide Fixed Charge



V<sub>T</sub>シフトのまとめ

MOSFETにおいて反転層が形成される、即ち、チャネルが形成されるゲート電圧V<sub>T</sub>は、理想 MOS構造の場合には、次式で与えられる(前回).

$$V_{\rm T} = V_{\rm TI} = 2\varphi_{\rm F} + \frac{\sqrt{2\varepsilon_{\rm S}\varepsilon_{\rm 0}qN_{\rm A}2\varphi_{\rm F}}}{C_{\rm OX}}$$

 $q \varphi_{\rm F} = E_{\rm i} - E_{\rm F}$   $C_{\rm OX} = \frac{\varepsilon_{\rm OX} \varepsilon_0}{y_{\rm OX}}$ 

しかし、実際のMOS構造には、 $V_T$ をずらす要因が存在し、それによって以下のように $V_T$ がずれる.

$$V_{\rm T} = V_{\rm TI} + V_{\rm FB} + \Delta V_{\rm IFC} + \Delta V_{\rm OFC}$$

 $V_{FB}$  金属と半導体の仕事関数差によるフラットバンドシフト  $\Delta V_{IFC}$  界面固定電荷によるシフト  $\Delta V_{OFC}$  酸化膜中固定電荷によるシフト



### 界面に捕獲された電荷(Interface-trapped charge)

Siのバンドギャップ内に存在する界面準位に捕獲された電子による. 界面準位の主な起源は化学結合をしていない余った手(ダングリン グボンド).

界面準位に電子が入るか入らないかは、その準位がE<sub>F</sub>より上か下かに依存する.

界面のシリコンのバンドギャップ内 に存在する界面準位に存在する電荷 によるCV特性の理想曲線からのずれ は、V<sub>G</sub>によって変わるE<sub>F</sub>のギャップ 内での位置,並びに,その界面準位 がドナーのようなのか,アクセプ ターのようなのかに依存するため, 単純な横方向のシフトとはならない. 正電荷が有る場合は,負電圧の方に シフトし,負電荷がある場合には, 正電圧の方にシフトする.



Dit

SiO2 Si

FILLED

(a)

(c)

EFM 7777

METAL

E. H. Nicollian and J. R. Brews: MOS (Metal Oxide Semiconductor) Physics and Technology (1982, Wiley, New Work) p.179.





(Springer, Berlin, 2010) p.548.

# MOSFET の動作

## MOSFETの動作例

JFETの場合と同様に、ドレイン電圧の増加によって



という特性を持つ.















## MOSFETの動作解析(電圧)



仮定:ドレイン電圧VDは小さい x方向の電界Exはゲート電圧VGによるy方向電界Eyより小さい 等電位面はゲート電極面にほぼ平行になっている

反転状態での横方向位置xにおける半導体表面の電位はドレイン電圧が印加されているためにxによって異なる. これをV(x)とすると,

$$\varphi_{\rm S}(x) = 2\varphi_{\rm F} + V(x)$$

ゲート電極と半導体表面の電位差,即ち, 酸化膜に掛かる電圧は,

$$V_{\rm OX} = V_{\rm G} - V(x)$$

界面の蓄積電荷密度をQsとすれば,

$$Q_{\rm S} = -C_{\rm OX}(V_{\rm OX} - V_{\rm T})$$

ここで、フラットバンドシフト等による閾 値電圧のずれの総和を**V**<sub>T</sub>とした.





 $Q_{M}$   $Q_{M} = -Q_{S}$   $Q_{S} = Q_{I} + Q_{D} \sim Q_{I}$   $y_{1} \quad y_{2} \quad y_{1}$   $Q_{D} \quad q_{N_{A}}$   $Q_{I} \quad Q_{I} > Q_{D}$ 

反転により現れた電子の方が、イオン化アクセプタの密度よりも圧倒的に多く、 Q<sub>1</sub>>>Q<sub>n</sub>であるから、界面の蓄積電荷密度は、

 $Q_{\rm S} \approx Q_{\rm I}$ 

このようにチャネルに現れた電子の移動度をµとすると、ドレイン電流は、

$$I_{\rm D} = Q_{\rm I} W \mu E_x$$

ここで、x方向の電界Exは、次のように表される.

$$E_x = -\frac{d\varphi_{\rm S}}{dx} = -\frac{dV(x)}{dx}$$

従って,ドレイン電流を書き直すと,

$$I_{\rm D} = WC_{\rm OX} \{V_{\rm G} - V_{\rm T} - V(x)\} \mu \frac{dV(x)}{dx}$$

この式をソースドレイン間で積分すると、電流と電圧の関係が得られる.



## MOSFETの動作解析(IV特性)





$$\int_0^L I_{\rm D} \mathrm{d}x = L I_{\rm D}$$

$$\int_{0}^{L} WC_{\text{OX}} \{V_{\text{G}} - V_{\text{T}} - V(x)\} \mu \frac{\mathrm{d}V(x)}{\mathrm{d}x} \mathrm{d}x = \int_{0}^{V_{\text{D}}} WC_{\text{OX}} \{V_{\text{G}} - V_{\text{T}} - V(x)\} \mu \mathrm{d}V(x)$$
$$= WC_{\text{OX}} \mu \left[ (V_{\text{G}} - V_{\text{T}})V(x) - \frac{1}{2}V(x)^{2} \right]_{0}^{V_{\text{D}}} = WC_{\text{OX}} \mu \left[ (V_{\text{G}} - V_{\text{T}})V_{\text{D}} - \frac{1}{2}V_{\text{D}}^{2} \right]$$

これより,

$$I_{\rm D} = \frac{1}{2L} W C_{\rm OX} \mu \Big[ 2 \big( V_{\rm G} - V_{\rm T} \big) V_{\rm D} - V_{\rm D}^{2} \Big]$$

ピンチオフ電圧 $V_P$ は、 $\partial I_D / \partial V_D = 0$ の条件から求めることができる.

$$\frac{\partial I_{\rm D}}{\partial V_{\rm D}} = \frac{1}{L} W C_{\rm OX} \mu [(V_{\rm G} - V_{\rm T}) - V_{\rm D}] = 0$$

そのときのドレイン電圧をV<sub>DSat</sub>とすれば,

$$V_{\rm DSat} = V_{\rm G} - V_{\rm T} \equiv V_{\rm H}$$

その時のドレイン電流は、

$$I_{\rm DSat} = \frac{W}{2L} C_{\rm OX} \mu (V_{\rm G} - V_{\rm T})^2 = \frac{W}{2L} C_{\rm OX} \mu V_{\rm P}^{2}$$

## 伝達特性(ID vs. VG特性)

$$I_{\rm D} = \frac{1}{2L} W C_{\rm OX} \mu \left[ 2 (V_{\rm G} - V_{\rm T}) V_{\rm D} - V_{\rm D}^{2} \right]$$

## VDが十分小さいとき(線形領域),V<sub>D</sub><<V<sub>G</sub>-V<sub>T</sub>

$$I_{\rm D} = \frac{WC_{\rm OX}\mu}{L} (V_{\rm G} - V_{\rm T}) V_{\rm D}$$

$$g_{\rm m} = \frac{\partial I_{\rm D}}{\partial V_{\rm G}} = \frac{W C_{\rm OX} \mu}{L} V_{\rm D}$$

### VDが十分大きいとき(飽和領域) , V<sub>G</sub>-V<sub>T</sub><<V<sub>D</sub>

$$I_{\text{DSat}} = \frac{W}{2L} C_{\text{OX}} \mu (V_{\text{G}} - V_{\text{T}})^{2}$$
$$g_{\text{m}} = \frac{\partial I_{\text{DSat}}}{\partial V_{\text{G}}} = \frac{W C_{\text{OX}} \mu}{L} (V_{\text{G}} - V_{\text{T}})$$

<sup>CO</sup> 
$$O_{O}$$
  $O_{O}$   $O_{O}$ 

実際のFET は、 u が

## エンハンスメントモードと デプレッションモード

## エンハンスメントモード: ノーマリーOFF

V<sub>G</sub>がV<sub>T</sub>を越えたときにチャネルができる

## デプレッションモード: ノーマリーON

 $V_{G}$ がゼロでもチャネルがある

	Normally OFF Enhancement	Normally ON Depletion
n-channel	S G D n <sup>+</sup> n <sup>+</sup>	S G D n <sup>+</sup> n-channel n <sup>+</sup> p
p-channel	S G D p⁺ p⁺ n	S G D p <sup>+</sup> p-channel p <sup>+</sup> n



イオン注入技術によってゲート絶縁膜直下 の半導体表面を p形基板ならばn形に, n形基板ならばp形に しておく.





M. Nastasi, J.W. Mayer: Ion Implantation and Synthesis of Materials (Springer, Berlin, 2006) p.2.

## **MOS FET**の種類と特性

p形基板を用いたnチャネルMOSFETとn形基板を用いたpチャネルMOSFETの両方についてエンハンスメントモードとデプレッションモードができる.論理回路の作成に有効.



CMOSインバータの例



# 計算機の発展 と トランジスタ



### 18,000本の真空管で実現された世界最初の計算機(1946年) ENIAC(Electronic Numerical Integrator and Computer)



Fig. 23.28. ENIAC, the first electronic computer (J.P. Eckert, J.W. Mauchly, 1944/5). The images show only a small part of the 18,000 vacuum tubes

### 10桁の弾道計算を3秒で実行 消費電力は140kW(真空管のフィラメント加熱が大半) システムの寿命は数時間しかない(真空管が切れる)

Marius Grundmann: The Physics of Semiconductors 2nd Ed. (Springer-Verlag, 2010, Berlin) p.746.





### 欠点を克服するもの=固体増幅素子



Fig. 23.1. (a) Schematic image of a vacuum triode. The electron current flows from the heated cathode to the anode when the latter is at a positive potential. The flow of electrons is controlled with the grid voltage. (b) Bell Laboratories' first (experimental) transistor, 1947

#### M. Grundmann, The Physics of Semiconductors 2nd Ed. (Springer, Berlin, 2010) p.713.



### 最初の商用トランジスタ(ゲルマニウム点接触トランジスタ (1948))と その後のシリコントランジスタ(Fairchild 2N697 (1958))



Fig. 23.2. (a) First commercial, developmental (point contact) transistor from BTL (Bell Telephone Laboratories) with access holes for adjustment of the whiskers pressing on a piece of Ge, diameter 7/32"=5 mm, 1948. (b) First high-performance silicon transistor (npn mesa technology), model 2N697 from Fairchild Semiconductor, 1958 (at \$200, in 1960 \$28.50). The product number is still in use (now \$0.95)

#### M. Grundmann, The Physics of Semiconductors 2nd Ed. (Springer, Berlin, 2010) p.714.



 Ge
 融点
 938°C
 ◎結晶成長がし易い

 酸化膜GeO2
 ×水に弱い

 × Geを熱酸化すると酸化物が昇華

 Si
 融点
 1420℃
 ◎結晶成長のためにGeよりも高度な技術が必要

 酸化膜SiO2
 ◎安定

 ◎Siを熱酸化すると高品質SiO2/Si界面を形成

 ×ナトリウム汚染による特性劣化の問題

- Q1. 何故初期のトランジスタはSiではなくGeだったのか? A. 結晶成長が容易(融点が低い)
- Q2. 何故初期のトランジスタは製造プロセスの簡便なMOSではなく, 複雑なバイポーラトランジスタだったのか? A. Geの酸化膜が絶縁膜としては使用に耐えるものでは無かった.
- Q3. GeがSiに置き換わった後も、まだバイポーラトランジスタが全 盛であったのはなぜか? A. SiO2の品質がまだいまいちであった(ナトリウム汚染など)



### バイポーラトランジスタ

### 構造複雑&工程も多い











Boron chanstop implan

p

(**d**)





(b)

SiO<sub>2</sub>

chanstop



(**d**)

n<sup>+</sup> collection

n<sup>+</sup> emitter

### MOSトランジスタ



G. S. May and C. J. Spanos: Fundamentals of Semiconductor Manufacturing and Process Control (2006, Wiley, NJ) p.63-70.

(**d**)



製造プロセス的にはバイポーラトランジスタよりもMOSFETの方が製造が簡単

なのに、何故、バイポーラトランジスタが先だったのか?



D. Kahng: A Historical Perspective on the Development of MOS Transistors and Related Devices, IEEE Trans. Electron Devices, ED-23 (1976) 655-657.

## MOS FET実用化への道のり

Dawon Kahng: US Patent 3,102,230 (Filed 1960, Issued 1963). MOSFET構造の発明

しかし、MOS FETの特性が安定しない...



MOSの不安定の要因がナトリウムイオン であることを解明 E. H. Snow, A. S. Grove, B. E. Deal and C. T. Sah: J. Appl. Phys., 36 (1965) 1664-1673.

不純物のゲッタリングテクニックの開発



FIG. 2. Effect of applying a bias to a sodium-contaminated MOS structure at elevated temperature. (1) Original curve, (2) after 5 min at -10 V, 150°C, (3) after 5 min at +10 V, 150°C, (4) after 5 min shorted at 150°C.

William H. Miller and Fred Barson: US Patent 3,343,049 (Filed 1964, Issued 1967). Donald R. Kerr and Donald R. Young: US Patent 3,303,059 (Filed 1964, Issued 1967).



## CMOSと論理回路



#### P-type MOSFET

"Switch is closed" when input is OV.



#### N-type MOSFET

"Switch is closed" when input is 5V.



**NAND** Gate



5**V** 

Vi Vo L H



**CMOS** Inverter

## Intel 4004 マイクロプロセッサ(1971)

4004マイクロプロセッサ Busicom社(日本)の要請によりIntelが電卓用に開発した





Marius Grundmann: The Physics of Semiconductors 2nd Ed. (Springer-Verlag, 2010, Berlin) p.747.

http://slideshow.techworld.com/3201497/the-11most-influential-microprocessors-of-all-time/

## Intel Pentium 4 (1.5 GHz)



Fig. 23.30. The Intel<sup>TM</sup> Pentium 4 microprocessor (2000), circuit lines:  $0.18\,\mu m$ , 42 million transistors, clock speed:  $1.5\,GHz$ 

#### Marius Grundmann: The Physics of Semiconductors 2nd Ed. (Springer-Verlag, 2010, Berlin) p.748.



### ーつのマイクロプロセッサに搭載されるトランジスタ数が 毎年,対数で増えてゆくという法則 (チップサイズが変わらなければ,それだけ微細なトランジスタが必要)



Umesh K. Mishra: Semiconductor Device Physics and Design (2008, Springer, Berlin) p.xxi.

## MOS FETのチャネル長と集積度



小さくすることのメリット

デバイスの高密度集積化 電流抑制 I<sub>D</sub> ~ 1/L 高周波数対応(高速化)



## 微細化するMOS構造



**FIGURE 1.6** Illustration of device scaling from the 130-nm node to the 32-nm node. (From Marcyk, G., INTEL Corp., ftp://download.intel.com/technology/silicon/Marcyk\_tri\_gate\_0902.pdf)

R. Doering and Y. Nishi (Ed.): Handbook of Semiconductor Manufacturing Technology 2nd Ed. (CRC, FL, 2008) p.1-8.



### 最も優秀な熱酸化による絶縁膜/半導体界面=SiO2/Si



Marius Grundmann: The Physics of Semiconductors - An Introduction Including Nanophysics and Applications 2nd Ed. (Springer, Berlin, 2010) p.548.

## 微細化するSi-MOSFET構造と限界



Fig. 23.35. Scaling of MOSFET parameters gate oxide thickness  $t_{\text{ox}}$ , power supply voltage  $V_{\text{DD}}$  (across source–drain), threshold voltage  $V_{\text{T}}$ , total power loss per area P, gate capacitance per channel width  $C_{\text{G}}$  and inverter delay  $\tau$ , the time required to propagate a transition through a single inverter driving a second, identical inverter, commonly used as a means of gauging the speed of CMOS transistors. Data for (a) from [1413] and for (b) selected from [1414]

#### M. Grundmann, The Physics of Semiconductors 2nd Ed. (Springer, Berlin, 2010) p.752.

## 限界越えのための新材料適用

### 小さくしなくてもパフォーマンスをアップする方法 → 物性の異なる材料を使う



Fig. 23.36. Cross-section TEM image of 45 nm node PMOS transistor with high-k Hf-containing gate oxide (*dark*) above a thin SiO<sub>2</sub> layer (*white*). The role of the stressor SiGe pockets is explained in Fig. 23.35. Adapted from [1419]

#### M. Grundmann, The Physics of Semiconductors 2nd Ed. (Springer, Berlin, 2010) p.753.

# 非シリコン系 FET





Umesh K. Mishra: Semiconductor Device Physics and Design (2008, Springer, Berlin) p.xxii-xxiii.

Current / Planned Technologies	Band	Frequency (MHz)
SMR iDEN	800	806-824 and 851-869
AMPS, GSM, IS-95 (CDMA), IS-136 (D-AMPS), 3G	Cellular	824-849, 869-894, 896-901, 935-940
GSM, IS-95 (CDMA), IS-136 (D-AMPS), 3G	PCS	1850–1910 and 1930–1990
3G, 4G, MediaFlo, DVB-H	700 MHz	698-806
Unknown	1.4 GHz	1392–1395 and 1432–1435
3G, 4G	AWS	1710–1755 and 2110–2170
4G	BRS/EBS	2500–2690



Si表面を熱酸化をすることにより形成されるSiO2膜が高品質の SiO2/Si界面を有する. →MOS FETで大活躍(+超微細化により高速化にも対応) 但し、材料物性としては、電子の移動度はそれほど高くない

## GaAs

Si

酸化してもまともな酸化膜はできない.かといって,絶縁膜を別途 堆積させても,シリコンのような高品質界面が形成できない. しかし,電子の移動度はSiよりも1桁高い.

MIS FETで攻めるのではなく,他の方法で攻めた方がよい. →MES FET, JFET

## 高周波領域で活躍するIII-V族半導体



図1 いろいろな高周波用トランジスタの位置づけ

谷越貞夫, 市川裕一: 高周波用トランジスタの実力と使い方, トランジスタ技術, 2004年12月号, p.137.

## 高い移動度を活かすには工夫が必要



S. M. Sze and Kwok K. Ng: Physics of Semiconductor Devices 3rd Ed. (2007, Wiley, New York) p.29.

## GaAs - HEMT

GaAsの電子の移動度は、Siの約10倍 → 高速動作に適する材料である.

しかし、電子デバイスはキャリア(電子や正孔)があって、初めて動作するデバイスであるから、p 形もしくはn形にするために、必ず不純物添加をしなければならない.

キャリアの移動度は、一般的に、不純物添加によって低下してしまう.

HEMT (High Electron Mobility Transistor)とは?

FET構造において、チャネル部に超高純度のGaAsを用い、低不純物濃度での高移動度を利用する. 低不純物濃度ではキャリアが無いため、MOSのゲート絶縁膜に相当する部分からキャリアを発生させ、 それを利用する.チャネル部が極めて薄いため、二次元電子がsが形成されているとも呼ばれる.





### パラボラアンテナの中の HEMT



http://jp.fujitsu.com/group/labs/techinfo/techguide/list/hemt\_p05.html

# GaAs HEMTが実現でき るようになった要因は?

## 基板 (ウェハがあることの重要性)



## Si-LSI発展を支えた基盤技術の一つ → Czochralski法(CZ法)による単結晶引き上げ技術



Angus Rockett: The Materials Science of Semiconductors (Springer, Berlin, 2008) p.183.

#### Marius Grundmann:

The Physics of Semiconductors - An Introduction Including Nanophysics and Applications 2nd Ed. (Springer, Berlin, 2010) p.349.



### GaAsでもCzochralski法だが、GaAsならではの困難の克服が必要だった.

GaAs single crystal (boule) for 4-inch wafers and some cut and polished wafers



Marius Grundmann: The Physics of Semiconductors - An Introduction Including Nanophysics and Applications 2nd Ed. (Springer, Berlin, 2010) p.349.





・融液から揮発性のAsが抜けてしまう ・高純度化が難しい



## LEC-GaAs SI-GaAs



H. J. Scheel and T. Fukuda: Crystal Growth Technology (Wiley, NJ, 2010) p.298.

### LEC GaAs, SI-GaAsとは?

SIはSemi-Insulatingの略.

半導体ウエハ上にデバイスを製作するとき、ウエハの表面に形成されるデバイスと裏面とは電気的に絶縁しておきたい.

半導体のフェルミ準位がバンドギャップの中央付近にくれば,絶縁体 に近くなる.これを利用して,デバイスを電気的に絶縁することがで きる.

Siでも用いられているCZ法と同じであるが、ガスであるAs系が抜け出ることを抑えるために、融液をB<sub>2</sub>O<sub>3</sub>液体で覆った方式. Liquid Encapsulated CZ法を略して、LEC法と呼ばれる.

この方式で成長されたGaAsを, LEC GaAsという.

この方式では、B2O3液体が不純物のゲッター(吸い取り役)として働き、成長されたGaAs本体に含まれてしまう不純物濃度を低く抑えることができるため、半絶縁性を示す.そのため、Semi-Insulating GaAs (略してSI-GaAs)と呼ばれている.

Principle of a modern LEC arrangement for growth of SI GaAs crystals with controlled carbon content. 1 - crystal drive assembly (pulling system), 2 - electronic weighing cell, <math>3 - optics, 4 - high-pressure vessel, 5 - main heater, 6 - growing crystal, 7 - liquid boron oxide, 8 - melt, 9 - bottom heater, 10 - heat shield, 11 - crucible shaft drive assembly.

## 高純度薄膜結晶成長技術の重要性



http://www.photonics.ethz.ch/research/core\_competences/technology

## MOS関連にて参考にした参考書

- E. H. Nicollian and J. R. Brews: MOS (Metal Oxide Semiconductor) Physics and Technology (1982, Wiley, New Work).
- Marius Grundmann: The Physics of Semiconductors - An Introduction Including Nanophysics and Applications 2nd Ed. (2010, Springer, Berlin).
- S. M. Sze and Kwok K. Ng: Physics of Semiconductor Devices 3rd Ed. (2007, Wiley, New York).
- Umesh K. Mishra: Semiconductor Device Physics and Design (2008, Springer, Berlin).
- •A.S. グローブ: 半導体デバイスの基礎 (1986, マ グロウヒル, 東京).
- ・御子柴宣夫:半導体の物理 (1982, 培風館, 東京).

日本語の本は、図書館や本屋さんにあると思 いますので、興味のあるかたは見てみてくだ さい、英語の本は、高価であったり簡単には 入手できないかもしれませんので、閲覧希望 者の方には期間限定で貸与致します(途中で 引用しているものも必要ならば貸与します).









