

電子デバイス工学

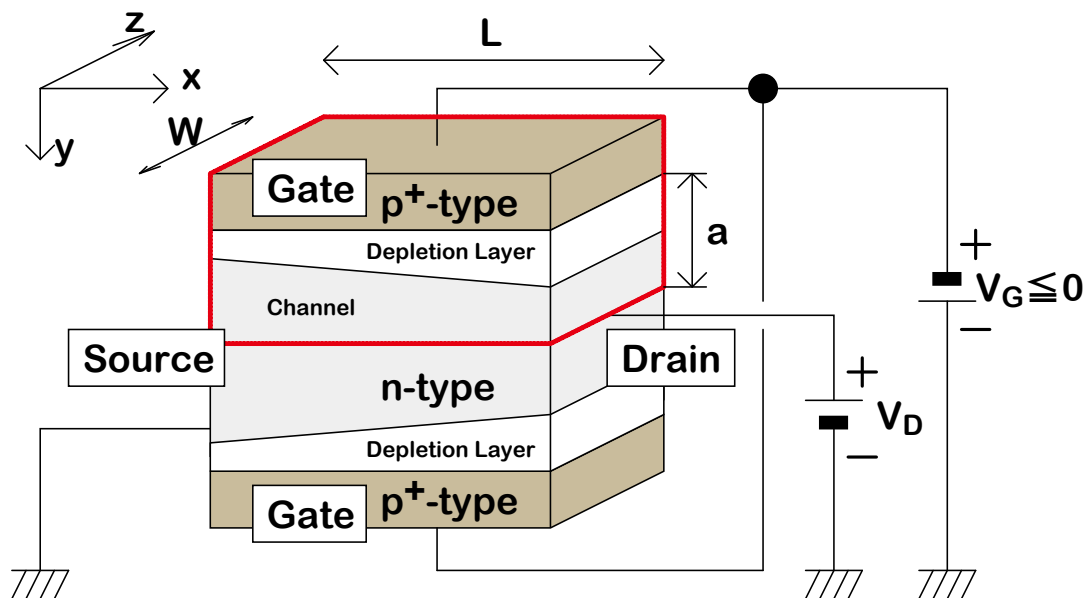
08

電界効果トランジスタ

(1) JFET

接合形電界効果トランジスタ

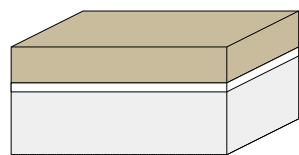
Junction Field Effect Transistor: JFET



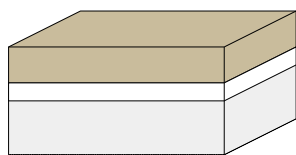
p⁺/n接合界面に形成される
空乏層幅を V_G で制御（広げ
たり・狭めたり）

ソース・ドレイン間の電流
の経路（チャネル）が V_G で
制御される

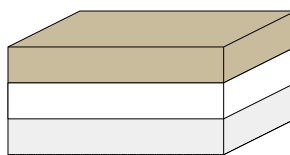
→ 増幅効果



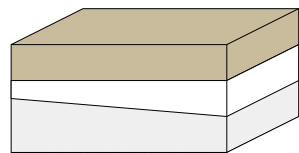
$V_D=0, V_G=0$



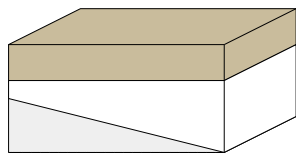
$V_D=0, V_G<0$



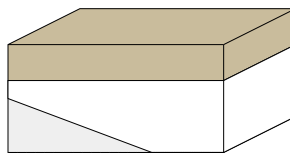
$V_D=0, V_G<<0$



$V_D>0, V_G<0$



$V_D>0, V_G<<0$



$V_D>0, V_G<<<0$

V_G, V_D の印加の度合いに
よって空乏層の幅が変わる

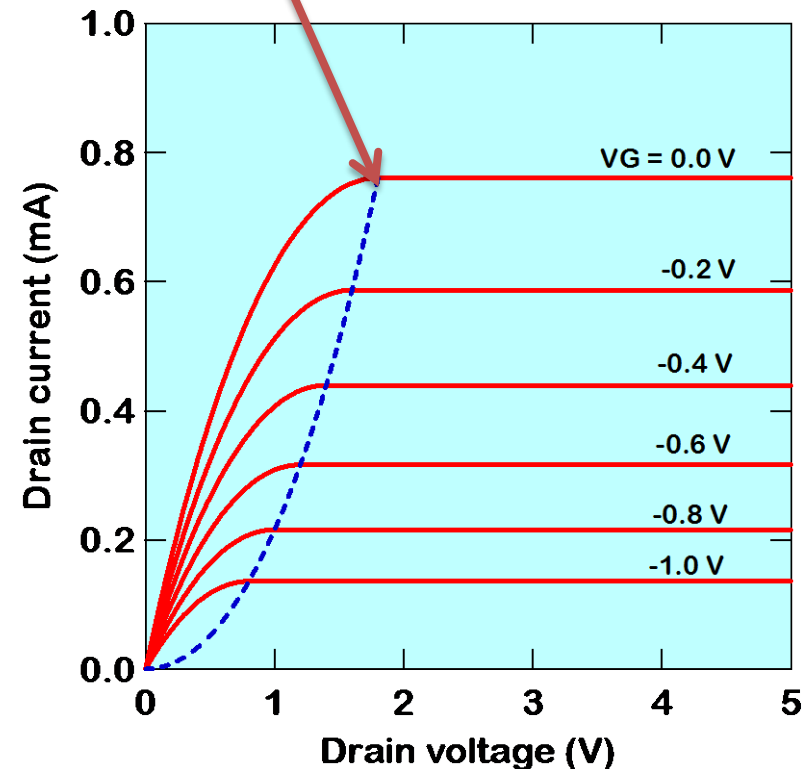
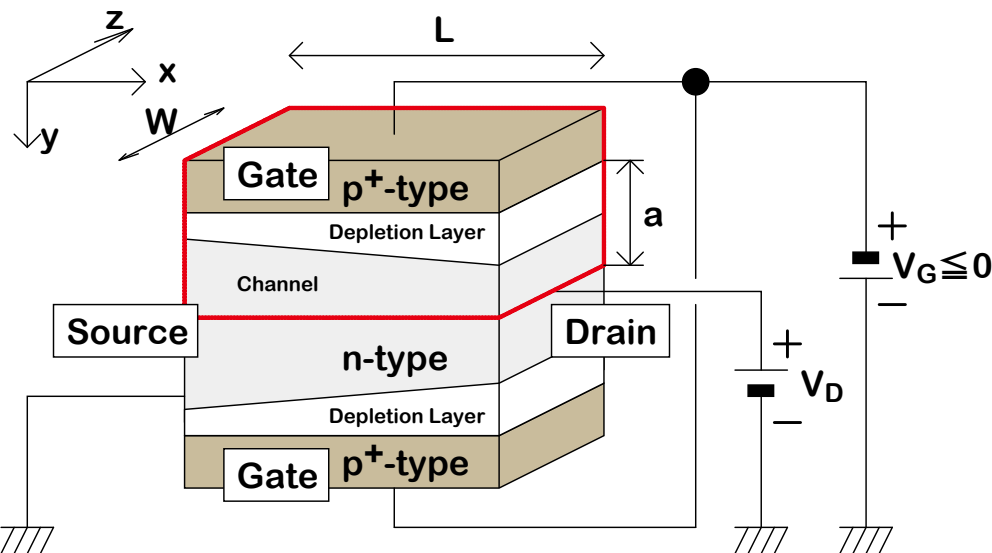
JFETの電流・電圧特性（概要）

ソース・ドレイン間の電圧増加

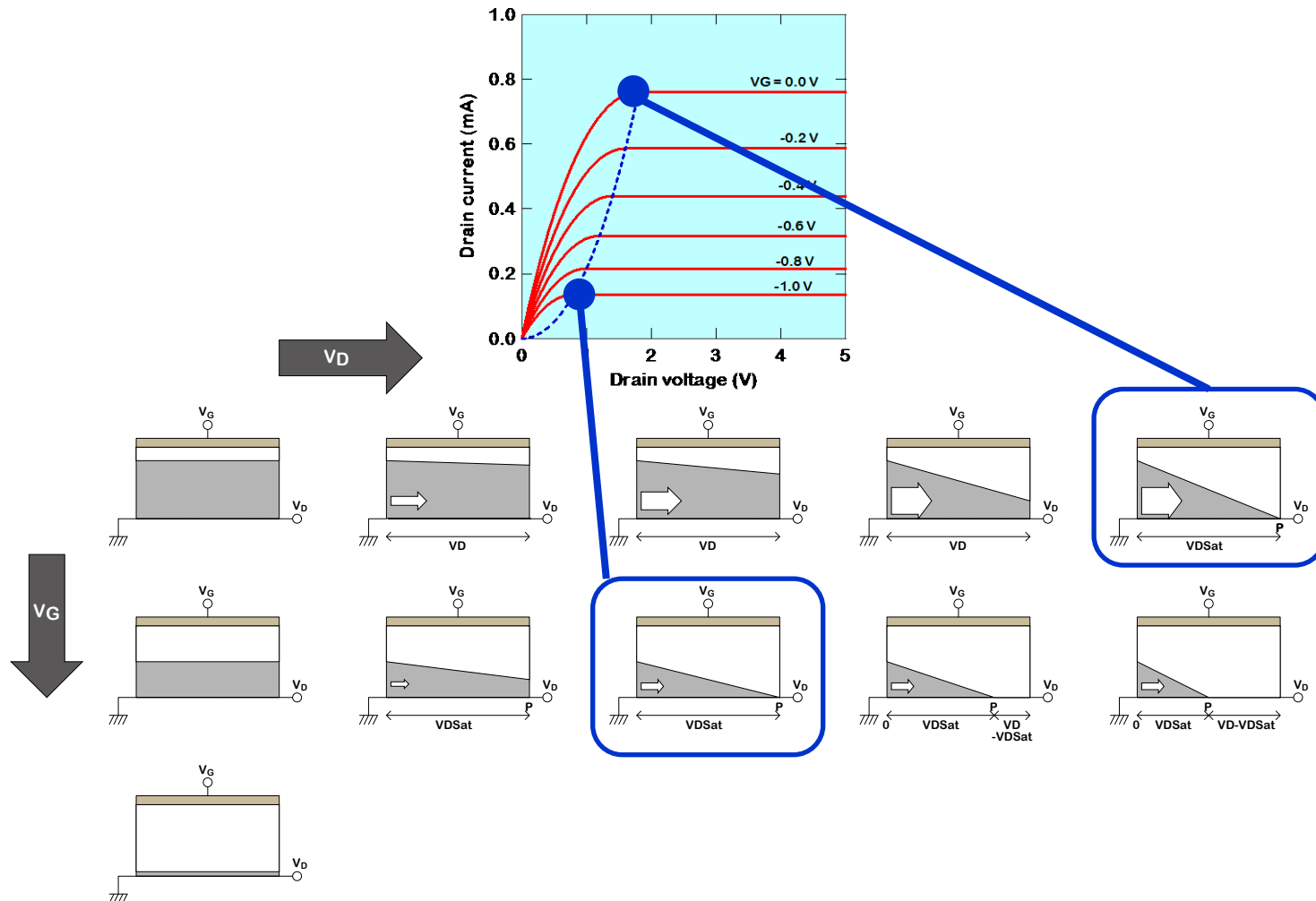
→途中まではほぼリニアに増加

→チャネルの縮小が顕著になるとその増加率が低下

→チャネルが空乏層で閉じられる（ピンチオフという）
とほぼ一定（飽和）

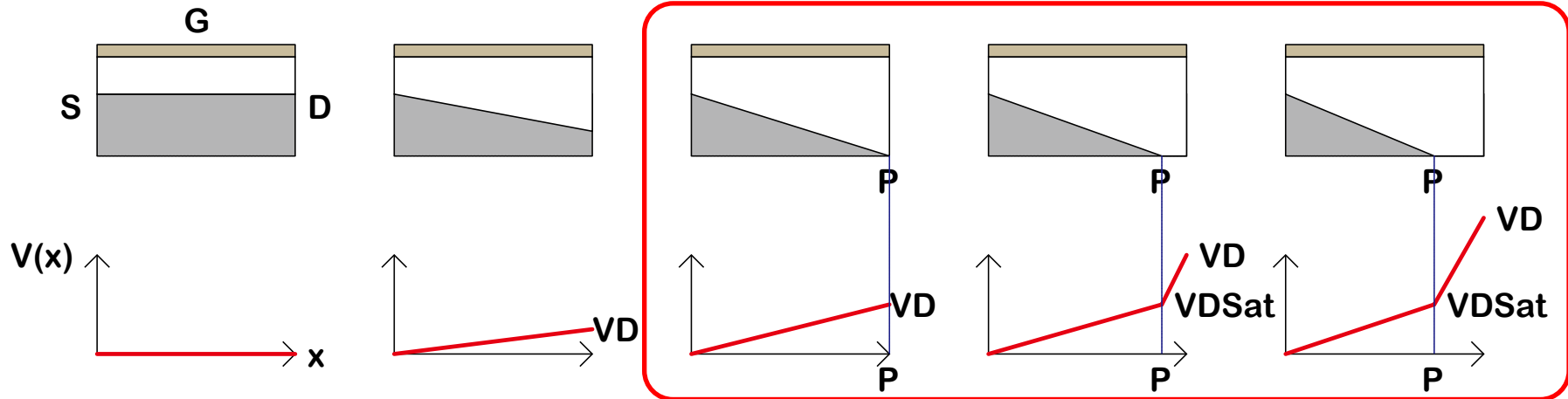


JFETの電流・電圧特性 空乏層の広がりとの関係



JFETの電流・電圧特性

チャネルがとぎれてもよいのか？



ピンチオフ以降

チャネル先端とドレインの間に空乏層

空乏層は高抵抗



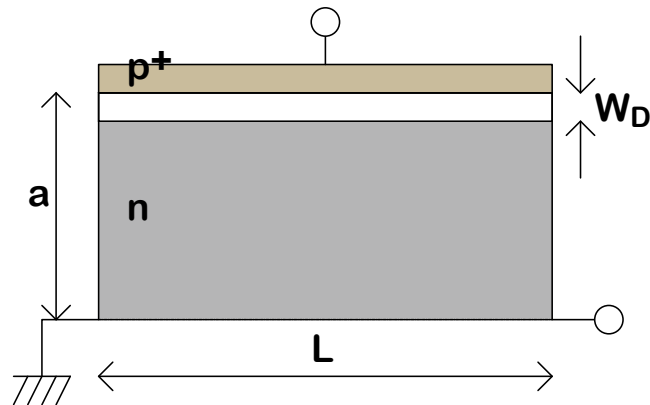
V_{DSat} 以上の電圧はほとんど空乏層にかかる

空乏層に高電界形成

P から空乏層に注入された電子は、
その高電界で直ちにドレインへ

理論解析

無バイアス時のチャネルの幅



p+層があるため、もとの幅 a よりも、空乏層の幅 W_D の分だけ、狭くなる。

どれくらい狭くなる？

ゲートのp+層のアクセプタ密度 $N_A \ll$ ソース・ドレイン間のn層のドナー密度 N_D

$$N_D \ll N_A$$

よって、pn接合のn形側に形成される空乏層の幅 W_D は、

$$W_D = \left\{ \frac{2\epsilon_S \epsilon_0 V_{Bi}}{qN_D} \frac{1}{1 + N_D/N_A} \right\}^{1/2} \approx \left\{ \frac{2\epsilon_S \epsilon_0 V_{Bi}}{qN_D} \right\}^{1/2}$$

拡散電位 V_{Bi} は、次のように N_D, N_A, n_i を用いて表すことができる。

拡散電位 V_{Bi} と不純物密度の関係

どちらを使ってもOK

$$n_{p0} = n_{n0} \exp\left(-\frac{qV_{Bi}}{kT}\right)$$

$$p_{n0} = p_{p0} \exp\left(-\frac{qV_{Bi}}{kT}\right)$$

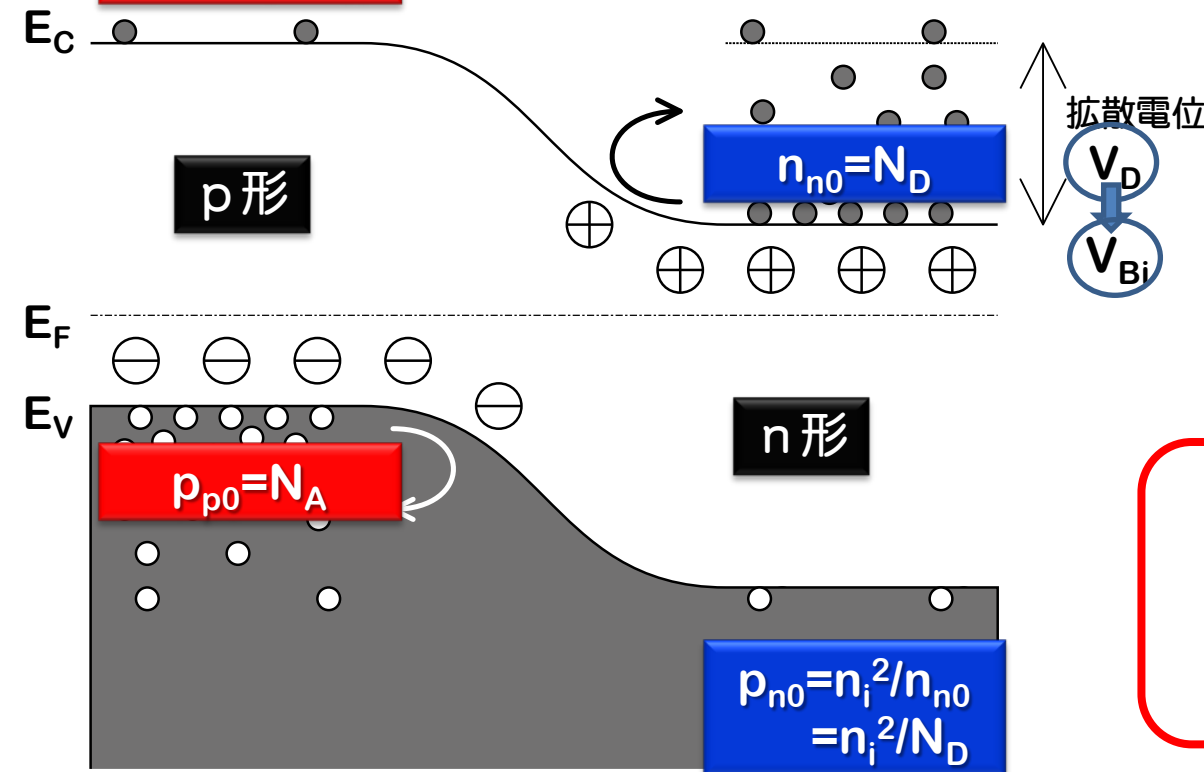
$$n_{n0} = N_D \quad p_{p0} = N_A$$

$$n_{p0}p_{p0} = n_i^2$$

$$n_{p0} = n_i^2 / p_{p0} = n_i^2 / N_A$$

$$\frac{n_i^2}{N_A} = N_D \exp\left(-\frac{qV_{Bi}}{kT}\right)$$

$$V_{Bi} = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right)$$



pn接合の空乏層幅に関する 以前のスライドの復習

拡散電位の記号について.

FETについては, ドレインを意味するときの添え字として”D”を使うので, 拡散電位(Diffusion Potential)を V_D とあらわすとドレイン電圧の V_D と同じになってしまう. そこで, 拡散電位については, 別名Built-in Potentialとも呼ばれることから, V_{Bi} とすることにする.

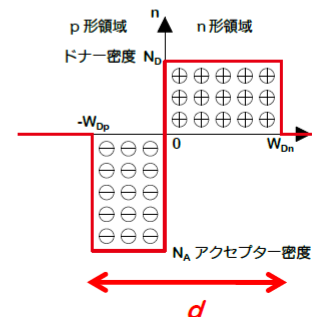
pn接合ダイオード：空乏層解析 空乏層幅

$$V(+0) = V(-0) \quad \frac{qN_A}{2\epsilon_S\epsilon_0} W_{Dp}^2 = -\frac{qN_D}{2\epsilon_S\epsilon_0} W_{Dn}^2 + (V_D + V)$$

$$N_A W_{Dp} = N_D W_{Dn}$$

$$W_{Dp} = \left\{ \frac{2\epsilon_S\epsilon_0(V_D + V)}{qN_A} \frac{1}{1 + N_A/N_D} \right\}^{1/2} \quad W_{Dn} = \left\{ \frac{2\epsilon_S\epsilon_0(V_D + V)}{qN_D} \frac{1}{1 + N_D/N_A} \right\}^{1/2}$$

$$d = W_{Dp} + W_{Dn} = \left\{ \frac{2\epsilon_S\epsilon_0(V_D + V)}{q} \frac{N_A + N_D}{N_A N_D} \right\}^{1/2}$$



拡散電位 V_D と不純物密度の関係 に用いた以前のスライドの復習

拡散電位の記号について.

FETについては, ドレインを意味するときの添え字として”D”を使うので, 拡散電位(Diffusion Potential)を V_D とあらわすとドレイン電圧の V_D と同じになってしまう. そこで, 拡散電位については, 別名Built-in Potentialとも呼ばれることから, V_{Bi} とすることにする.

J_0 を不純物濃度で表す

$$J_0 = \frac{qD_e n_{p0}}{L_e} + \frac{qD_h p_{n0}}{L_h}$$

n_{p0}

熱平衡状態時のp形中の電子の密度

= n形中で E_c よりも V_D だけ上にある電子の密度

$$\Rightarrow n_{p0} = n_{n0} \exp\left(-\frac{qV_D}{kT}\right)$$

p_{n0}

熱平衡状態時のn形中の正孔の密度

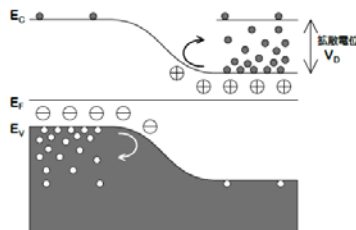
= p形中で E_v よりも V_D だけ下にある正孔の密度

$$\Rightarrow p_{n0} = p_{p0} \exp\left(-\frac{qV_D}{kT}\right)$$

$$J_0 = \left(\frac{qD_e n_{n0}}{L_e} + \frac{qD_h p_{p0}}{L_h} \right) \exp\left(-\frac{qV_D}{kT}\right)$$

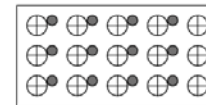
$n_{n0} \approx N_D$ $p_{p0} \approx N_A$ であるから,
普通の温度であれば, 多数キャリア密度は不純物密度に等しい

$$J_0 = \left(\frac{qD_e N_D}{L_e} + \frac{qD_h N_A}{L_h} \right) \exp\left(-\frac{qV_D}{kT}\right)$$



p型・n形半導体中のキャリア密度

n形



⊕ イオン化ドナ

● 電子

$$n = N_D \quad p = \frac{n_i^2}{n} = \frac{n_i^2}{N_D}$$

温度が室温程度なら $n_i \ll N_D$ なので, p は極めて小さい

p形



⊖ イオン化アクセプタ

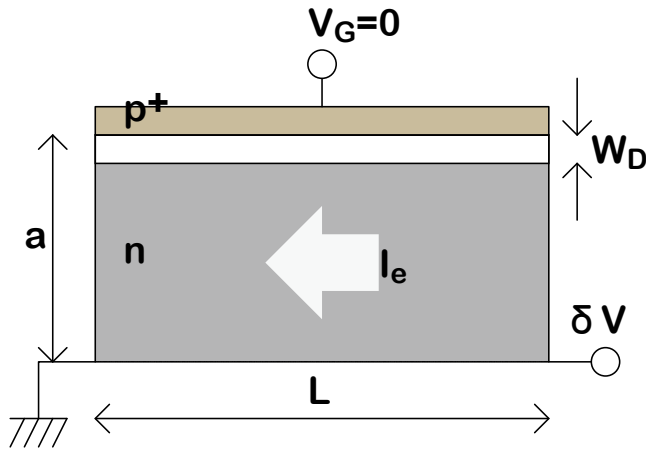
○ 正孔

$$p = N_A \quad n = \frac{n_i^2}{p} = \frac{n_i^2}{N_A}$$

温度が室温程度なら $n_i \ll N_A$ なので, n は極めて小さい

ゲート電圧のみ印加
ドレイン電圧は少しだけ

$V_G=0$ の時にチャネルを流れる電流



$$J_e = -q\Phi_e = qn\mu_e E$$

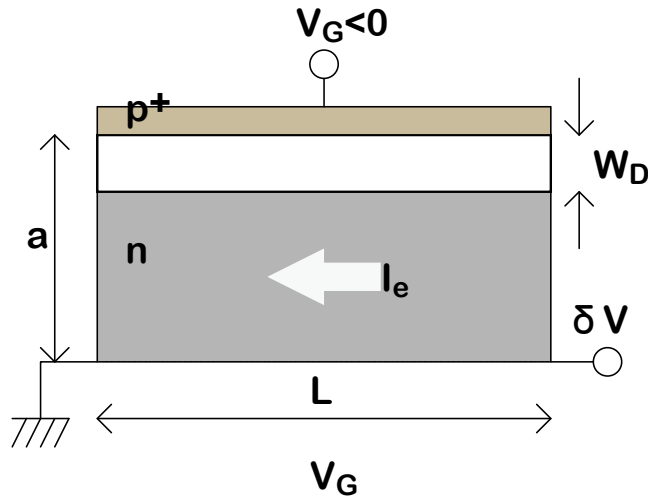
$$I_e = J_e \times (\text{断面積})$$

$$I_D = qN_D\mu_e \frac{\delta V}{L} \times (2(a - W_D)W)$$

$$W_D = \left\{ \frac{2\varepsilon_S\varepsilon_0 V_{Bi}}{qN_D} \right\}^{1/2}$$

$$V_{Bi} = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$$

$V_G < 0$ の時にチャネルを流れる電流



負の V_G が印加されることで
 p^+/n 接合が逆バイアスになり
空乏層幅 W_D が広がる

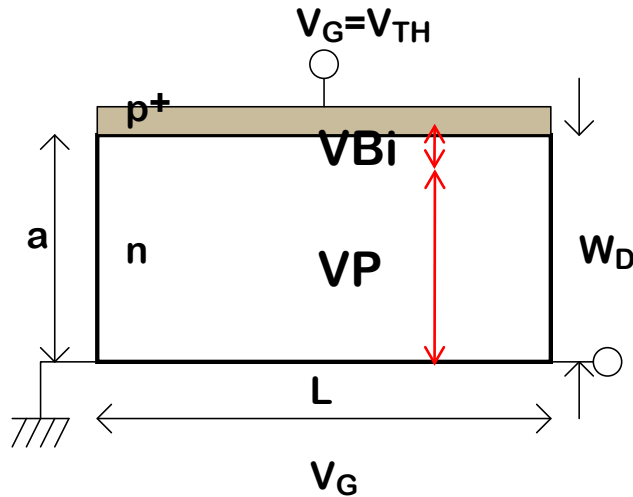
$$I_D = qN_D\mu_e \frac{\delta V}{L} 2(a - W_D)W$$

$$W_D = \left\{ \frac{2\epsilon_S\epsilon_0 (V_{Bi} - V_G)}{qN_D} \right\}^{1/2}$$

$$V_{Bi} = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$$

$V_G < 0$ なので、実際には
「ひく」ではなく、「たす」

チャンネルが空乏層で閉じられるとき ($V_D=0$)



$$W_D = \left(\frac{2\epsilon_S \epsilon_0}{qN_D} (V_{Bi} - V_G) \right)^{1/2} = a$$

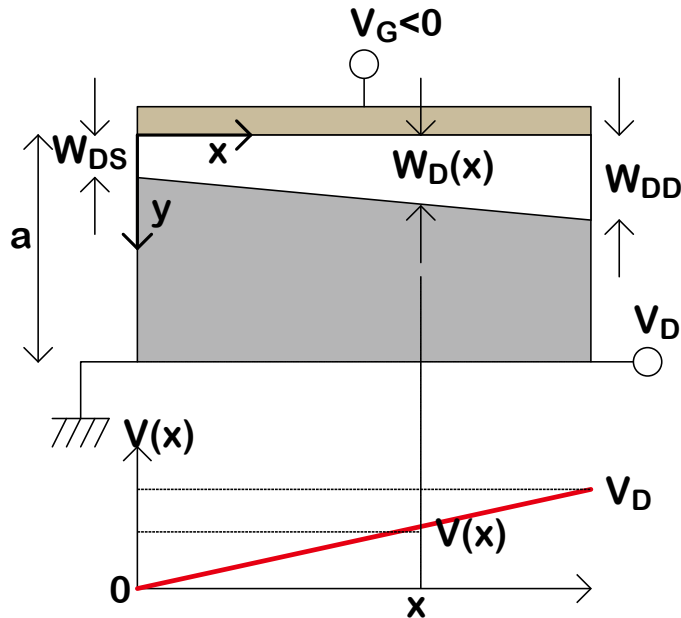


$$V_{TH} = V_{Bi} - \frac{qN_D a^2}{2\epsilon_S \epsilon_0}$$

ピンチオフ電圧

ドレイン電圧も
印加

ソースとドレインの間に電圧を印加



ソース側空乏層幅

$$W_{DS} = \left(\frac{2\epsilon_S \epsilon_0}{qN_D} [V_{Bi} - V_G] \right)^{1/2}$$

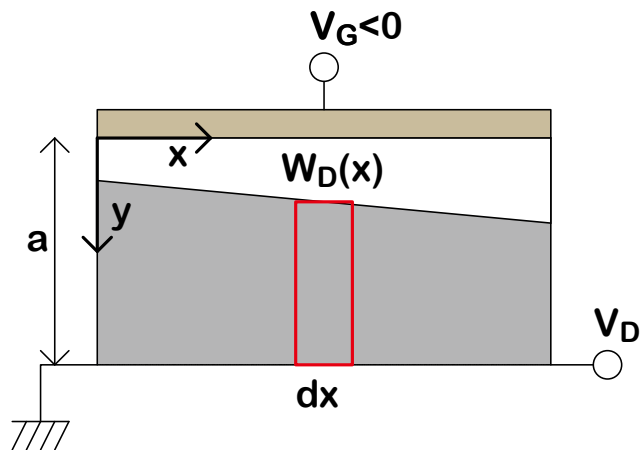
ドレイン電圧とゲート電圧の両方の効果
 → x の位置によって空乏層幅が異なる

$$W_D(x) = \left(\frac{2\epsilon_S \epsilon_0}{qN_D} [V_{Bi} - V_G + V(x)] \right)^{1/2}$$

ドレイン側空乏層幅

$$W_{DD} = \left(\frac{2\epsilon_S \epsilon_0}{qN_D} [V_{Bi} - V_G + V_D] \right)^{1/2}$$

電流の導出 (1 / 2)



微小区間 $x \sim x+dx$ の抵抗 $dR(x)$ は

$$dR(x) = \frac{dx}{2q\mu_e N_D [a - W_D(x)] W}$$

オームの法則より,

$$dV(x) = I_D dR(x)$$

$$= I_D \frac{dx}{2q\mu_e N_D [a - W_D(x)] W}$$

ソース・ドレイン間で積分すれば,

$$2q\mu_e N_D W \int_0^{V_D} [a - W_D(x)] dV(x) = I_D \int_0^L dx$$

$$2q\mu_e N_D W \int_0^{V_D} \left[a - \left(\frac{2\epsilon_S \epsilon_0}{q N_D} [V_{Bi} - V_G + V(x)] \right)^{1/2} \right] dV(x) = I_D L$$

電流の導出 (2/2)

$$2q\mu_e N_D W \int_0^{V_D} \left[a - \left(\frac{2\varepsilon_S \varepsilon_0}{qN_D} [V_{Bi} - V_G + V(x)] \right)^{1/2} \right] dV(x) = I_D L$$

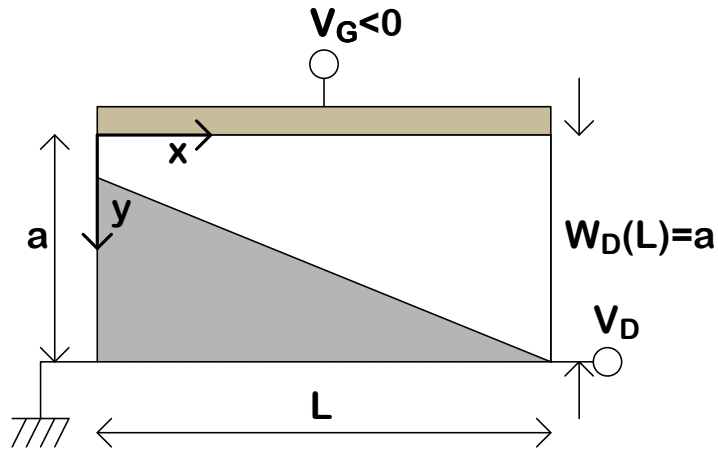
$$\int_0^{V_D} \left[a - \left(\frac{2\varepsilon_S \varepsilon_0}{qN_D} [V_{Bi} - V_G + V] \right)^{1/2} \right] dV = \left[aV - \frac{2}{3} \sqrt{\frac{2\varepsilon_S \varepsilon_0}{qN_D}} (V_{Bi} - V_G + V)^{3/2} \right]_0^{V_D}$$



$$I_D = g_{\max} \left\{ V_D - \frac{2}{3a} \sqrt{\frac{2\varepsilon_S \varepsilon_0}{qN_D}} \left[(V_D + V_{Bi} - V_G)^{3/2} - (V_{Bi} - V_G)^{3/2} \right] \right\}$$

$$g_{\max} = \frac{2q\mu_e N_D a W}{L}$$

ピンチオフ時の電圧



$$W_D(L) = \left(\frac{2\epsilon_S \epsilon_0}{qN_D} [V_{Bi} - V_G + V_{DSat}] \right)^{1/2} = a$$

$$\begin{aligned} V_{DSat} &= \frac{qN_D a^2}{2\epsilon_S \epsilon_0} - (V_{Bi} - V_G) \\ &= V_G - \left(V_{Bi} - \frac{qN_D a^2}{2\epsilon_S \epsilon_0} \right) \end{aligned}$$

ピンチオフ電圧 V_P を用いると、飽和時の電圧 V_{DSat} は、

$$V_P = \frac{qN_D a^2}{2\epsilon_S \epsilon_0} \quad \longrightarrow \quad V_{DSat} = V_P - (V_{Bi} - V_G)$$

ピンチオフ時の電流

$$V_{\text{DSat}} = V_{\text{P}} - (V_{\text{Bi}} - V_{\text{G}}) \quad \text{を} I_{\text{D}} \text{の式に代入して}$$

$$I_{\text{DSat}} = g_{\text{max}} \left\{ V_{\text{DSat}} - \frac{2}{3a} \sqrt{\frac{2\varepsilon_{\text{S}}\varepsilon_0}{qN_{\text{D}}}} \left[(V_{\text{DSat}} + V_{\text{Bi}} - V_{\text{G}})^{3/2} - (V_{\text{Bi}} - V_{\text{G}})^{3/2} \right] \right\}$$

$$V_{\text{P}} = [V_{\text{Bi}} - V_{\text{G}} + V_{\text{DSat}}] = \frac{qN_{\text{D}}a^2}{2\varepsilon_{\text{S}}\varepsilon_0} \quad \text{であることを用いれば,}$$

$$I_{\text{DSat}} = I_{\text{P}} \left\{ 1 - 3 \frac{(V_{\text{Bi}} - V_{\text{G}})}{V_{\text{P}}} + 2 \left(\frac{V_{\text{Bi}} - V_{\text{G}}}{V_{\text{P}}} \right)^{3/2} \right\}$$

$$\text{ただし,} \quad I_{\text{P}} = \frac{W\mu_{\text{e}}q^2N_{\text{D}}^2a^3}{3\varepsilon_{\text{S}}\varepsilon_0L}$$

VPを用いたドレイン電流の式

$$I_D = g_{\max} \left\{ V_D - \frac{2}{3a} \sqrt{\frac{2\varepsilon_S \varepsilon_0}{qN_D}} \left[(V_D + V_{Bi} - V_G)^{3/2} - (V_{Bi} - V_G)^{3/2} \right] \right\}$$

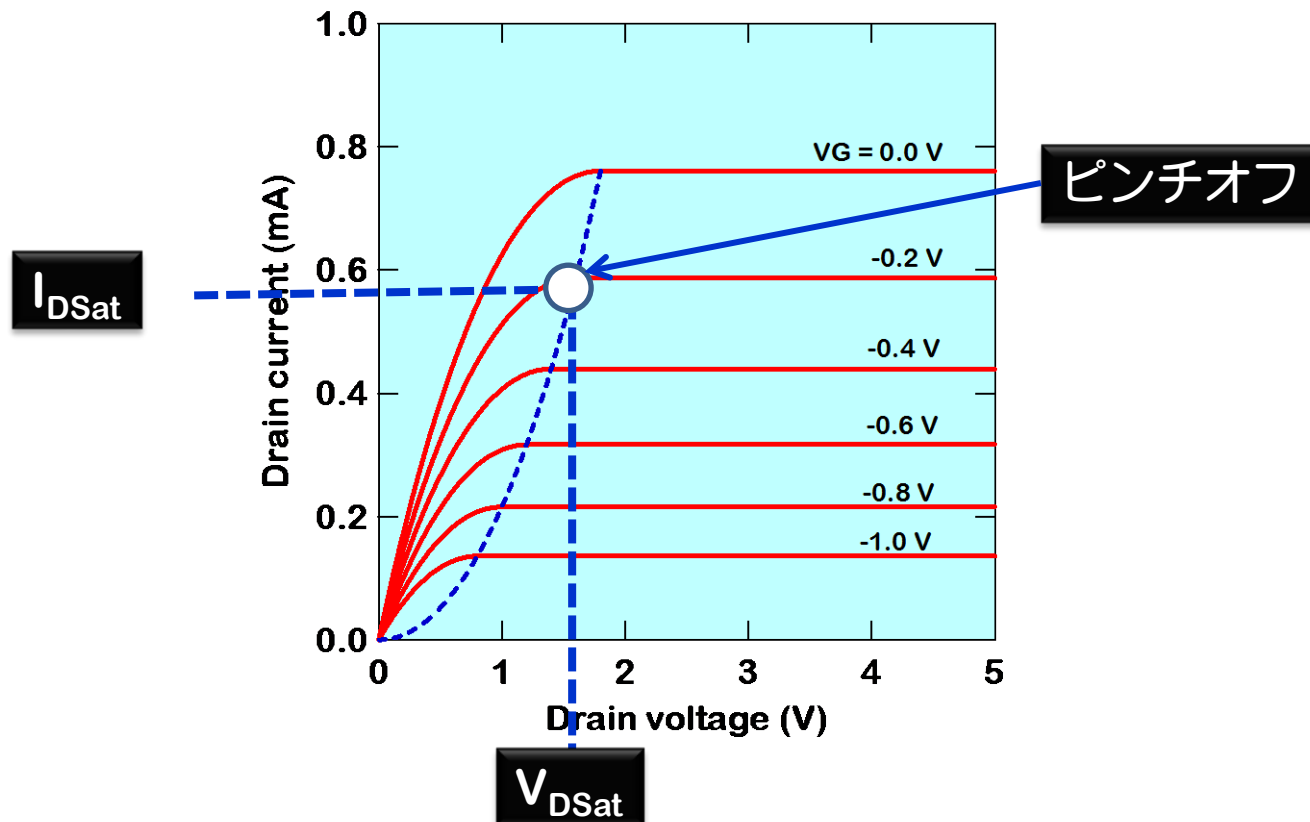
$$[V_{Bi} - V_G + V_{DSat}] = \frac{qN_D a^2}{2\varepsilon_S \varepsilon_0} \equiv V_P$$



$$I_D = g_{\max} \left\{ V_D - \frac{2}{3} V_P \left[\left(\frac{V_D + V_{Bi} - V_G}{V_P} \right)^{3/2} - \left(\frac{V_{Bi} - V_G}{V_P} \right)^{3/2} \right] \right\}$$

JFETの V_D/I_D 特性

$$I_D = g_{\max} \left\{ V_D - \frac{2}{3} V_P \left[\left(\frac{V_D + V_{Bi} - V_G}{V_P} \right)^{3/2} - \left(\frac{V_{Bi} - V_G}{V_P} \right)^{3/2} \right] \right\}$$

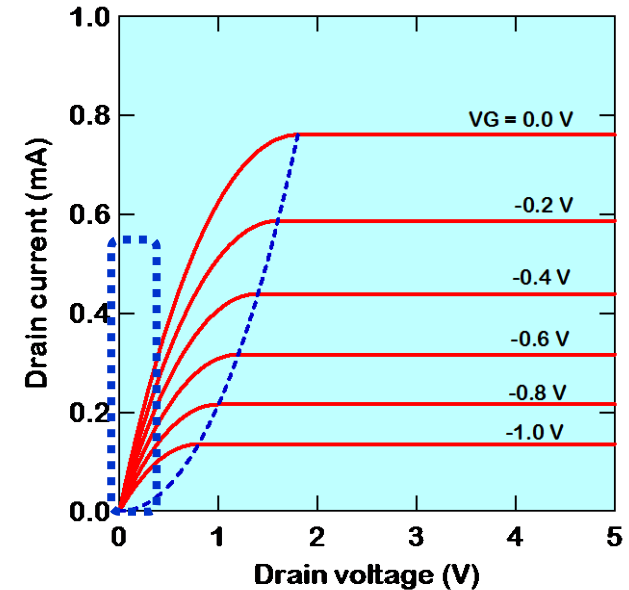


I_D/V_D 特性の線形領域の近似式

$$V_D \ll V_{Bi} - V_G$$

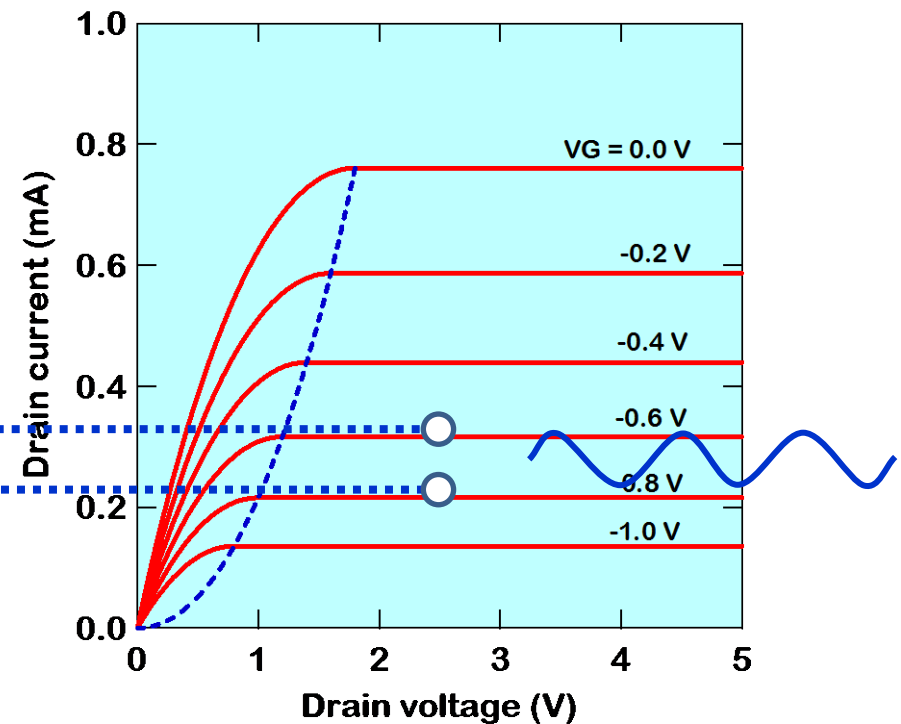
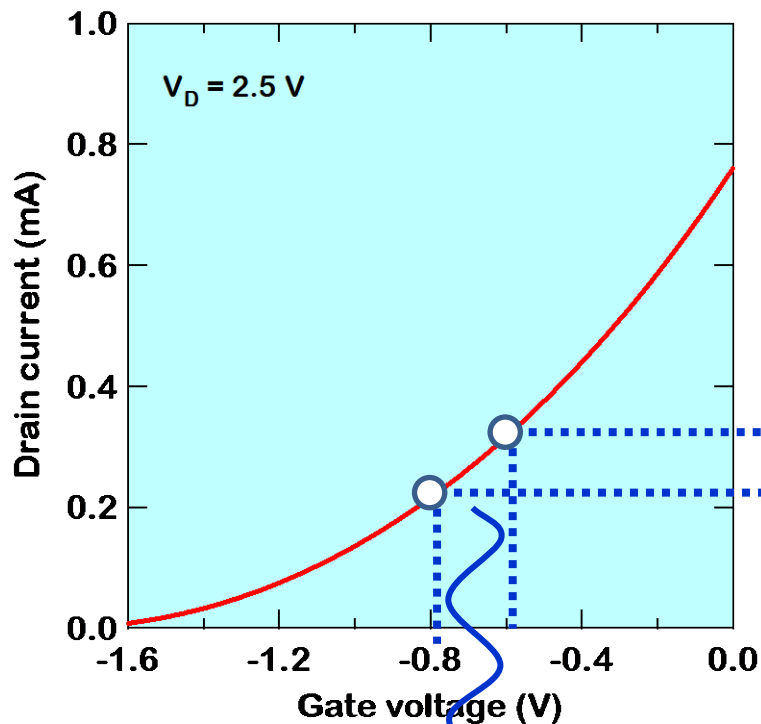
$$I_D = g_{\max} \left\{ 1 - \left(\frac{V_{Bi} - V_G}{V_P} \right)^{1/2} \right\} V_D$$

$$\begin{aligned} I_D &= g_{\max} \left\{ V_D - \frac{2}{3} V_P \left[\left(\frac{V_D + V_{Bi} - V_G}{V_P} \right)^{3/2} - \left(\frac{V_{Bi} - V_G}{V_P} \right)^{3/2} \right] \right\} \\ &= g_{\max} \left\{ V_D - \frac{2(V_{Bi} - V_G)^{3/2}}{3V_P^{1/2}} \left[\left(1 + \frac{V_D}{V_{Bi} - V_G} \right)^{3/2} - 1 \right] \right\} \\ &\approx g_{\max} \left\{ V_D - \frac{2(V_{Bi} - V_G)^{3/2}}{3V_P^{1/2}} \left[1 + \frac{3}{2} \frac{V_D}{V_{Bi} - V_G} - 1 \right] \right\} \\ &= g_{\max} \left\{ 1 - \left(\frac{V_{Bi} - V_G}{V_P} \right)^{1/2} \right\} V_D \end{aligned}$$



トランス・コンダクタンス

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{const.}} = g_{\max} \left\{ \left(\frac{V_D + V_{\text{Bi}} - V_G}{V_P} \right)^{1/2} - \left(\frac{V_{\text{Bi}} - V_G}{V_P} \right)^{1/2} \right\}$$



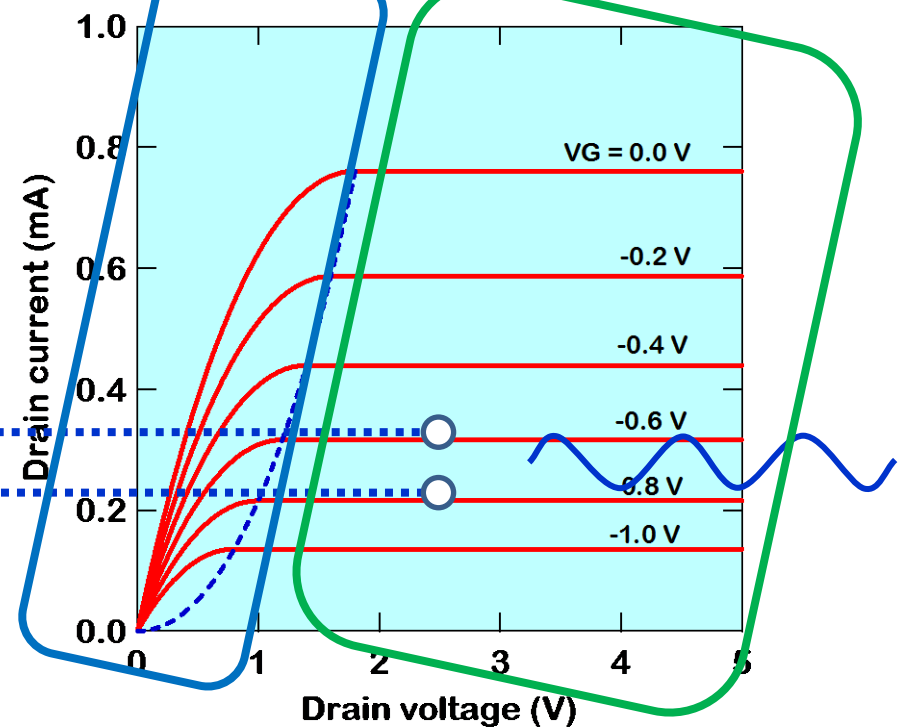
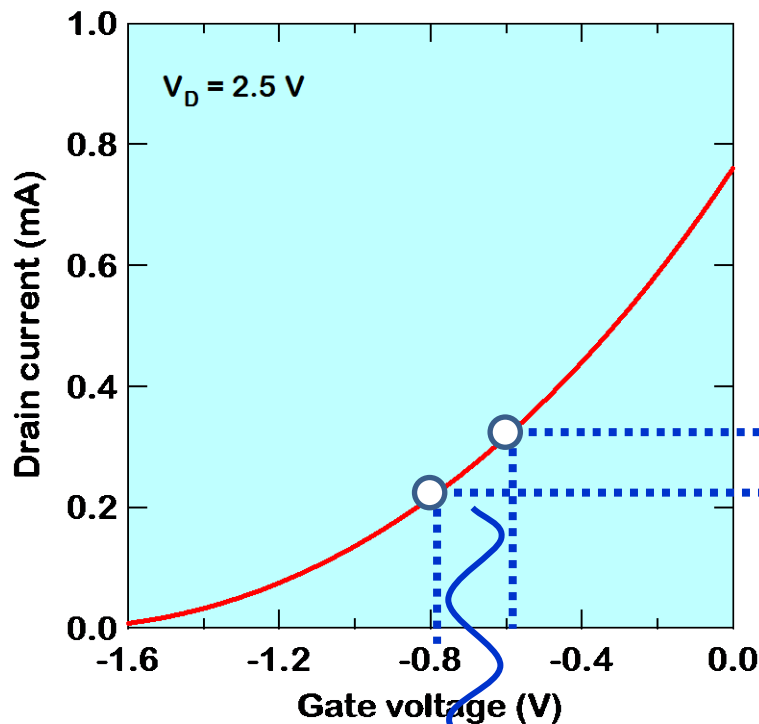
線形領域と飽和領域の トランス・コンダクタンス

VDに依存

$$g_{mLin} = g_{max} \frac{V_D}{2V_P^{1/2}(V_{Bi} - V_G)^{1/2}}$$

VDに依存しない

$$g_{mSat} = g_{max} \left\{ 1 - \left(\frac{V_{Bi} - V_G}{V_P} \right)^{1/2} \right\}$$



MES-FET

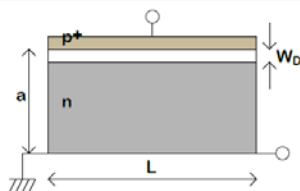
MES-FET

p+/nのn形側に形成される空乏層幅 = ショットキー接触した半導体側の空乏層幅

n形半導体の上にp+層を形成する代わりに、
n形半導体の上にショットキー接触を形成しても、
同じ幅の空乏層が形成される

→ JFETと同じことができる

無バイアス時のチャネルの幅



p+層があるため、もとの幅 a よりも、空乏層の幅 W_0 の分だけ、狭くなる。

どれくらい狭くなる？

ゲートのp+層のアクセプタ密度 $N_A \ll$ ソース・ドレイン間のn層のドナー密度 N_D

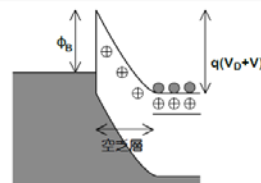
$$N_D \ll N_A$$

よって、pn接合のn形側に形成される空乏層の幅 W_0 は、

$$W_D = \left\{ \frac{2\epsilon_s \epsilon_0 V_{Bi}}{qN_D} \frac{1}{1 + N_D/N_A} \right\}^{1/2} \approx \left\{ \frac{2\epsilon_s \epsilon_0 V_{Bi}}{qN_D} \right\}^{1/2}$$

拡散電位 V_{Bi} は、次のように N_D, N_A, n_i を用いて表すことができる。

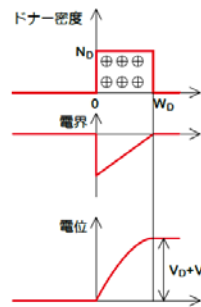
ショットキー接触の空乏層解析



ポアソンの方程式 $\frac{d^2V}{dx^2} = -\frac{qN_D}{\epsilon_s \epsilon_0}$

境界条件 $V(0)=0, V(W_0)=V_0+V$

$[dV/dx]_{W_0}=0$ (電界は空乏層のみにかかる)



電界分布 $E = -\frac{dV}{dx} = \frac{qN_D}{\epsilon_s \epsilon_0} (x - W_D)$

電位分布 $V = -\frac{qN_D}{\epsilon_s \epsilon_0} x(x - W_D)$

空乏層幅 $W_D = \sqrt{\frac{2\epsilon_s \epsilon_0 (V_D + V)}{qN_D}}$

付録

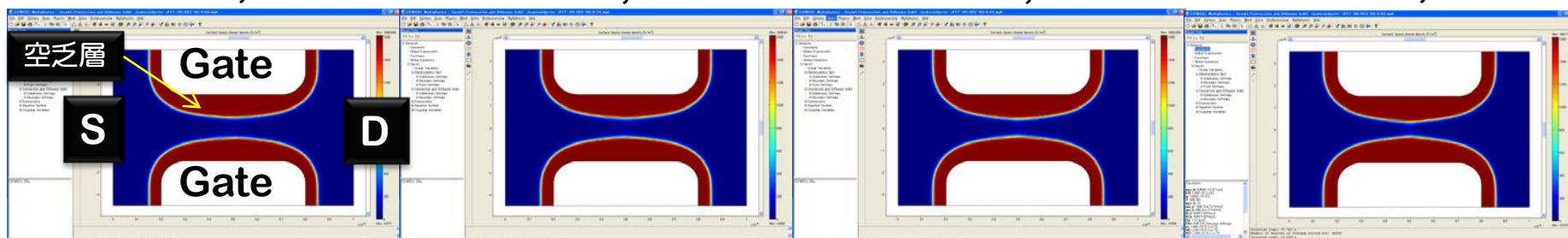
JFETの空乏層のVG&VD依存性とピンチオフの様子

VG=0.0V, VD=0V

VG=0.2V, VD=0V

VG=0.4V, VD=0V

VG=0.8V, VD=0V

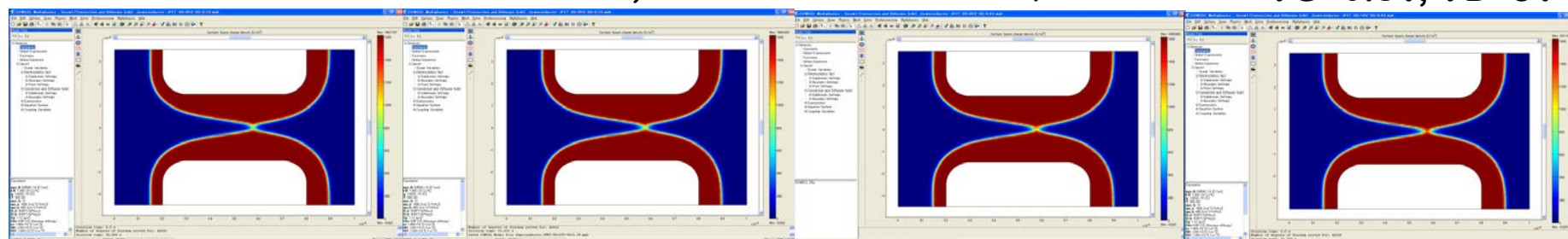


VG=0.0V, VD=5V

VG=0.2V, VD=5V

VG=0.4V, VD=5V

VG=0.8V, VD=5V



VG=0.0V, VD=10V

VG=0.2V, VD=10V

VG=0.4V, VD=10V

VG=0.8V, VD=10V

