

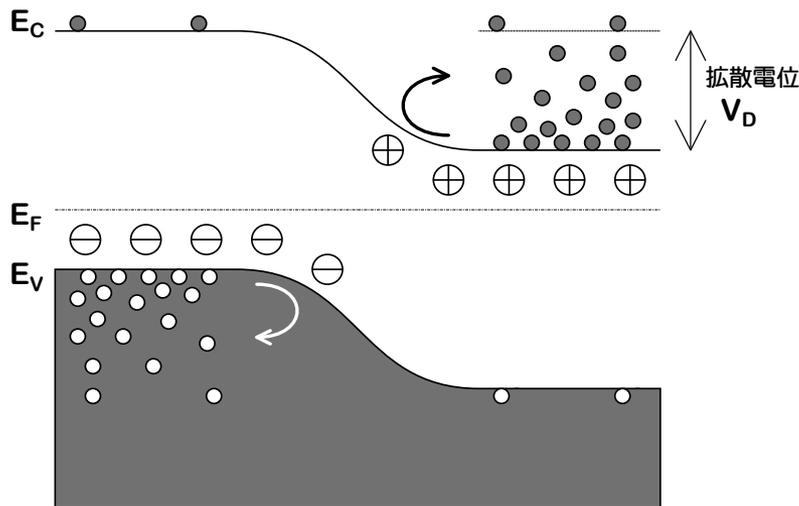
電子デバイス工学

04

半導体ダイオード

(pn接合：静特性・動特性)

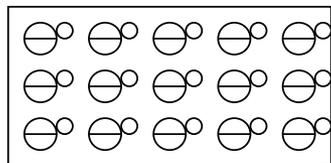
pn接合ダイオードの 空乏層と ポテンシャル曲線



このバンド図って、
理論的に描けるのか？

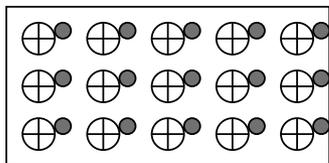
復習 pn接合ダイオード 熱平衡状態

p形



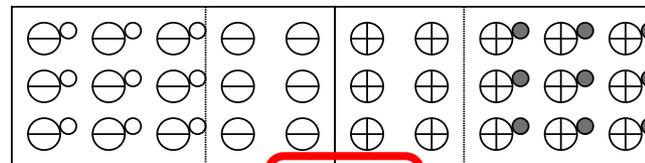
⊖ イオン化アクセプタ
○ 正孔

n形



⊕ イオン化ドナ
● 電子

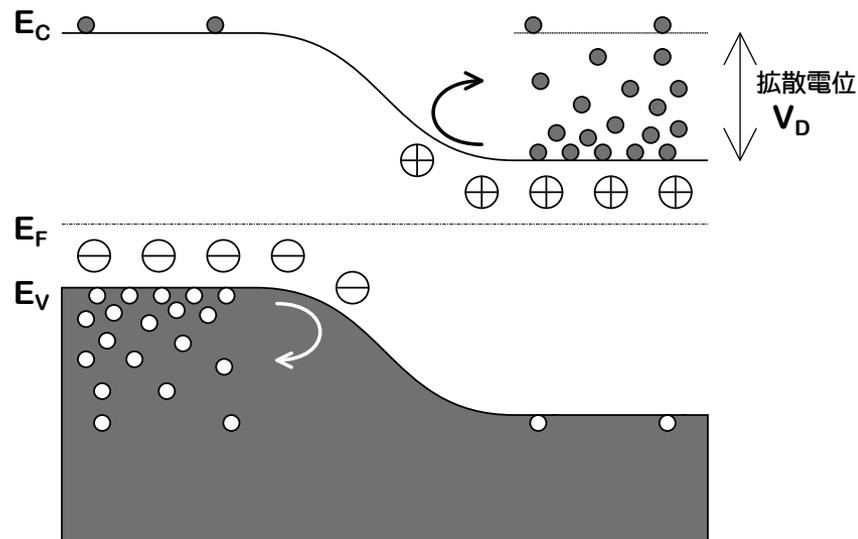
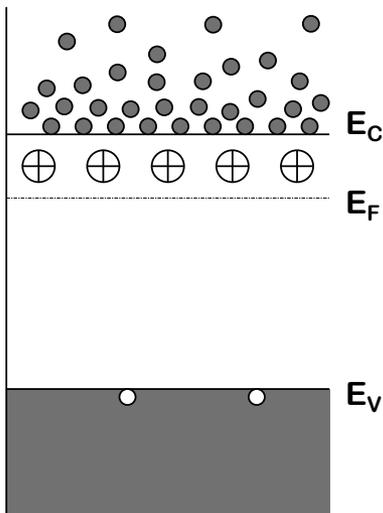
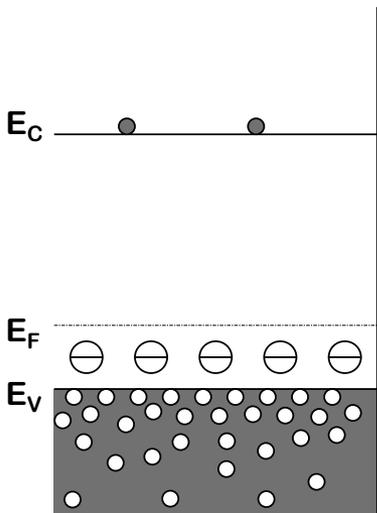
p形



空乏層

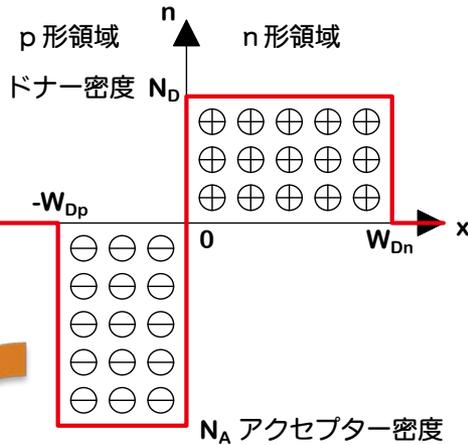
内部電界

n形



pn接合ダイオードで電位障壁ができるのは空乏層領域だけ
→ 空乏層を詳しく解析する

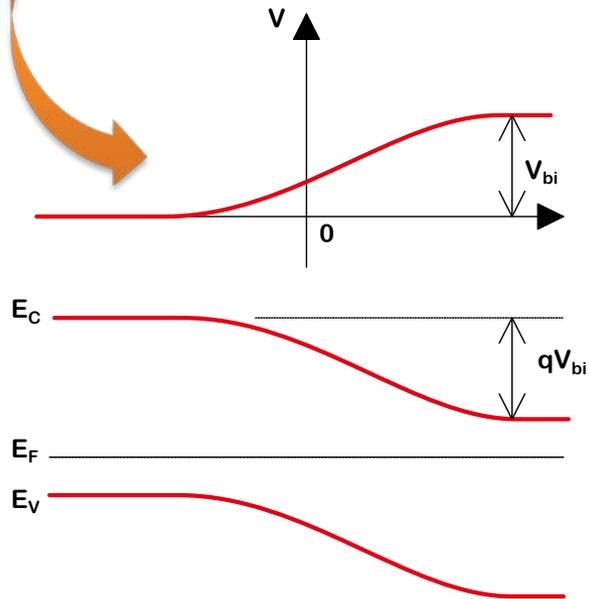
pn接合ダイオード：空乏層解析 基本方程式



電荷密度と電位の関係 (ポアソンの方程式)

$$\frac{d^2V}{dx^2} = -\frac{\rho}{\epsilon_S \epsilon_0} \quad \frac{dE}{dx} = \frac{\rho}{\epsilon_S \epsilon_0}$$

$$\begin{aligned} -W_{Dp} \leq x < 0 & \quad \rho = -qN_A \\ 0 \leq x \leq +W_{Dn} & \quad \rho = +qN_D \end{aligned}$$



$$x = -W_{Dp} \quad V(-W_{Dp}) = 0, \quad E(-W_{Dp}) = \left. \frac{dV}{dx} \right|_{x=-W_{Dp}} = 0$$

$$x = 0 \quad V(+0) = V(-0) \quad E(+0) = E(-0)$$

$$x = +W_{Dn} \quad V(W_{Dn}) = V_D + V, \quad E(W_{Dn}) = \left. \frac{dV}{dx} \right|_{x=W_{Dn}} = 0$$

pn接合ダイオード空乏層解析： 電界E(x)

$$E(x) = \frac{q(-N_A)}{\epsilon_S \epsilon_0} x + C_1 \quad -W_{Dp} \leq x < 0$$



$$E(-W_{Dp}) = 0 \quad C_1 = -\frac{qN_A}{\epsilon_S \epsilon_0} W_{Dp}$$

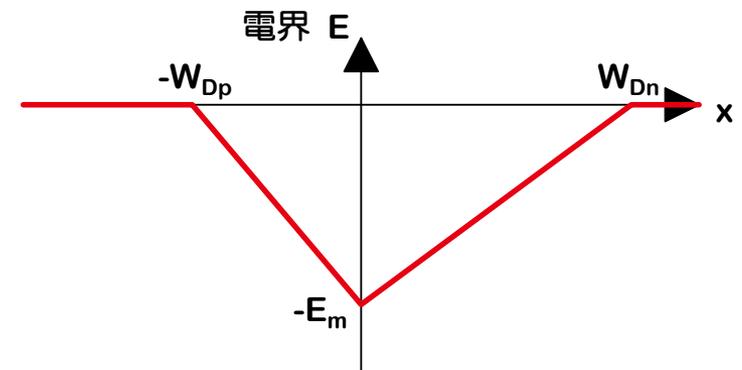
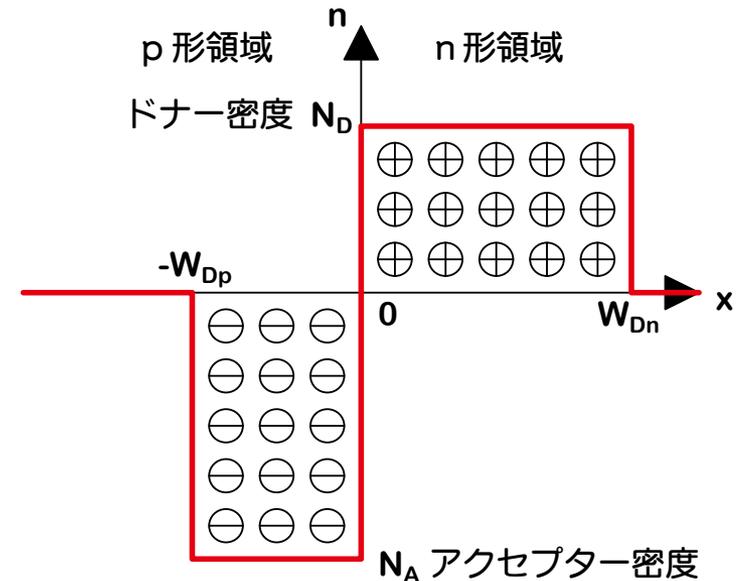
$$E(x) = -\frac{qN_A}{\epsilon_S \epsilon_0} (x + W_{Dp})$$

$$E(x) = \frac{q(+N_D)}{\epsilon_S \epsilon_0} x + C_2 \quad 0 \leq x \leq W_{Dn}$$



$$E(W_{Dn}) = 0 \quad C_2 = -\frac{qN_D}{\epsilon_S \epsilon_0} W_{Dn}$$

$$E(x) = \frac{qN_D}{\epsilon_S \epsilon_0} (x - W_{Dn})$$



pn接合ダイオード空乏層解析： 電界E(x)

$$E(-0) = E(+0)$$



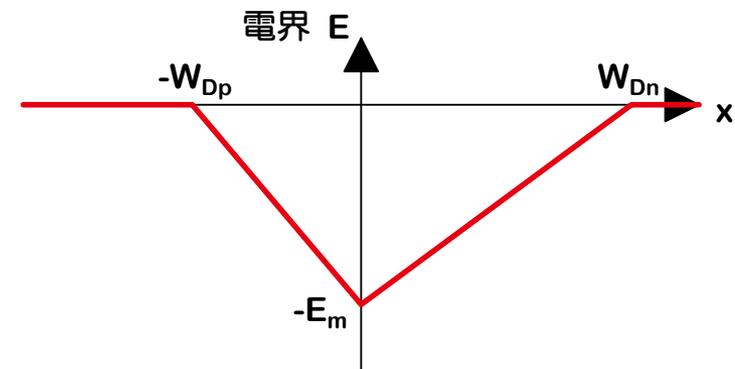
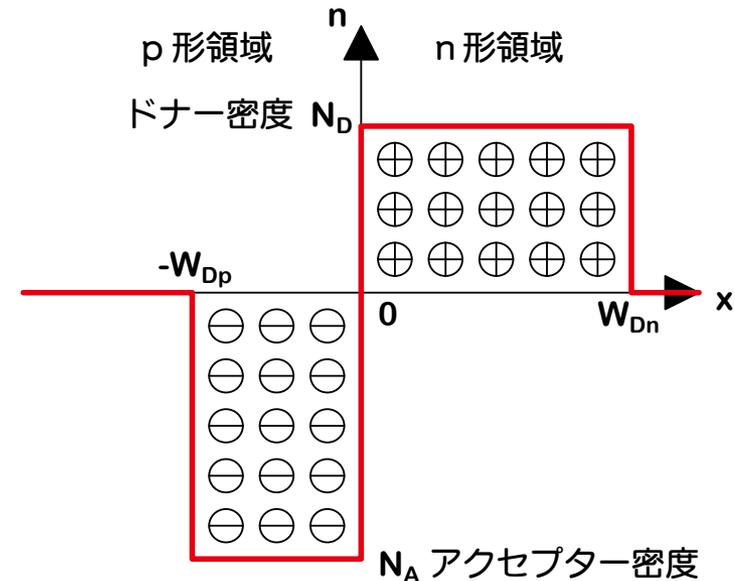
$$N_A W_{Dp} = N_D W_{Dn}$$

負電荷量と正電荷量は等しい

NとWは反比例

不純物密度が濃い → 空乏層幅が短い

不純物密度が薄い → 空乏層幅が長い



pn接合ダイオード：空乏層解析

ポテンシャル $V(x)$

$$E(x) = -\frac{dV}{dx} = \frac{qN_A}{\epsilon_S \epsilon_0} (x + W_{Dp})$$

$$E(x) = -\frac{dV}{dx} = -\frac{qN_D}{\epsilon_S \epsilon_0} (x - W_{Dn})$$

$$V(x) = \frac{qN_A}{2\epsilon_S \epsilon_0} (x + W_{Dp})^2 + C_3$$

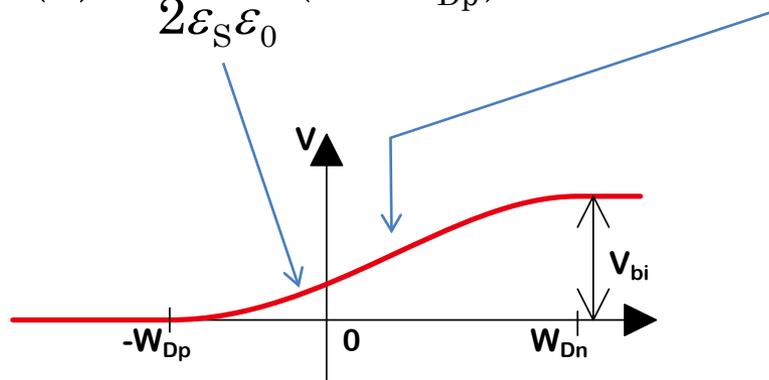
$$V(x) = -\frac{qN_D}{2\epsilon_S \epsilon_0} (x - W_{Dn})^2 + C_4$$

$$V(-W_{Dp}) = 0 \quad C_3 = 0$$

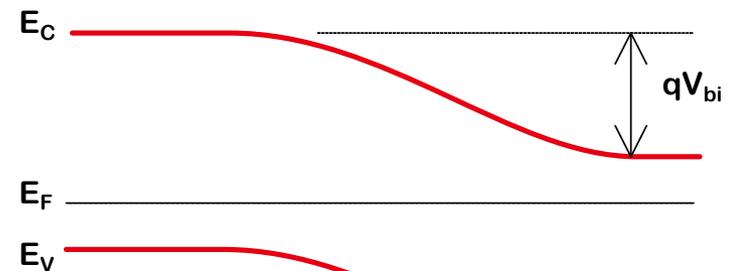
$$V(W_{Dn}) = V_D + V$$

$$V(x) = \frac{qN_A}{2\epsilon_S \epsilon_0} (x + W_{Dp})^2$$

$$V(x) = -\frac{qN_D}{2\epsilon_S \epsilon_0} (x - W_{Dn})^2 + (V_D + V)$$



正の電荷に対するポテンシャル



バンド図 = 電子に対するポテンシャル

pn接合ダイオード：空乏層解析

空乏層幅

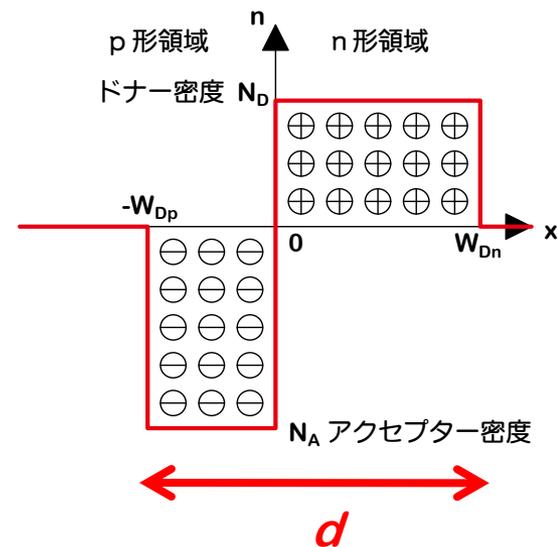
$$V(+0) = V(-0) \quad \frac{qN_A}{2\epsilon_S\epsilon_0} W_{Dp}^2 = -\frac{qN_D}{2\epsilon_S\epsilon_0} W_{Dn}^2 + (V_D + V)$$

$$N_A W_{Dp} = N_D W_{Dn}$$

$$W_{Dp} = \left\{ \frac{2\epsilon_S\epsilon_0(V_D + V)}{qN_A} \frac{1}{1 + N_A/N_D} \right\}^{1/2}$$

$$W_{Dn} = \left\{ \frac{2\epsilon_S\epsilon_0(V_D + V)}{qN_D} \frac{1}{1 + N_D/N_A} \right\}^{1/2}$$

$$d = W_{Dp} + W_{Dn} = \left\{ \frac{2\epsilon_S\epsilon_0(V_D + V)}{q} \frac{N_A + N_D}{N_A N_D} \right\}^{1/2}$$



pn接合ダイオード：空乏層解析

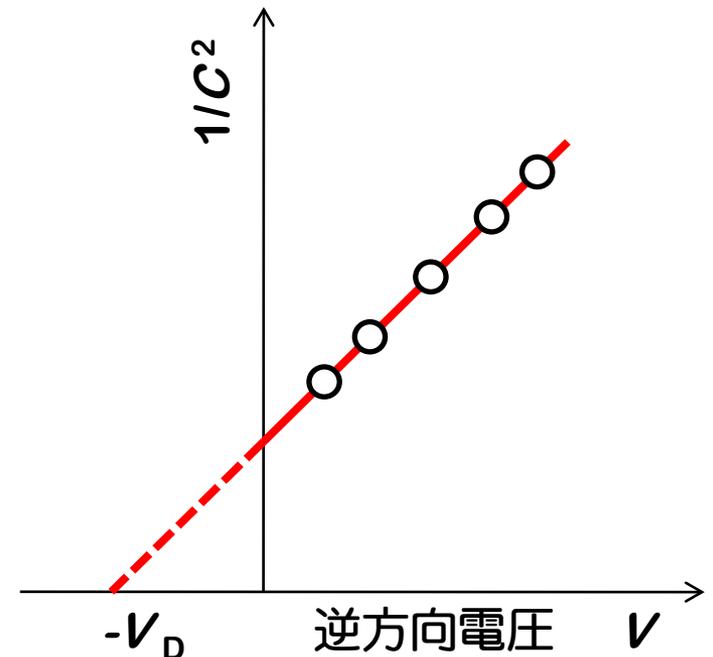
容量電圧特性

空乏層はイオン化したドナーやアクセプタを保持している
→ 電荷を蓄積したコンデンサと同じ

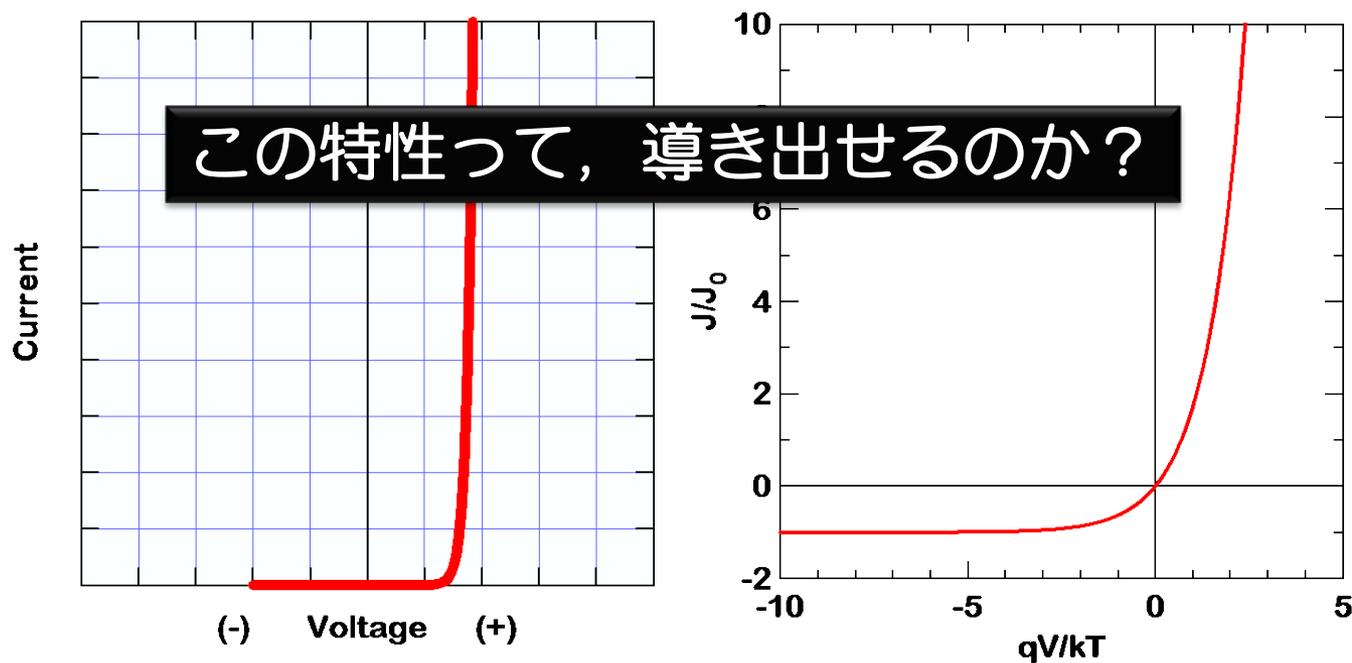
$$Q(V) = qN_A W_{Dp}$$
$$= \left\{ 2q\epsilon_S\epsilon_0 \frac{N_A N_D}{N_A + N_D} (V_D + V) \right\}^{1/2}$$

$$C(V) = \frac{dQ}{dV}$$
$$= \left\{ \frac{q\epsilon_S\epsilon_0}{2} \frac{N_A N_D}{N_A + N_D} \frac{1}{V_D + V} \right\}^{1/2}$$

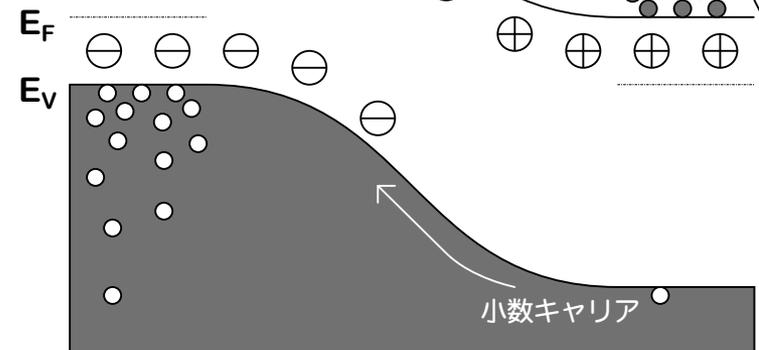
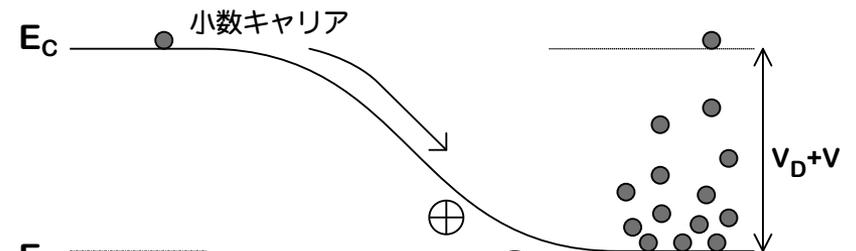
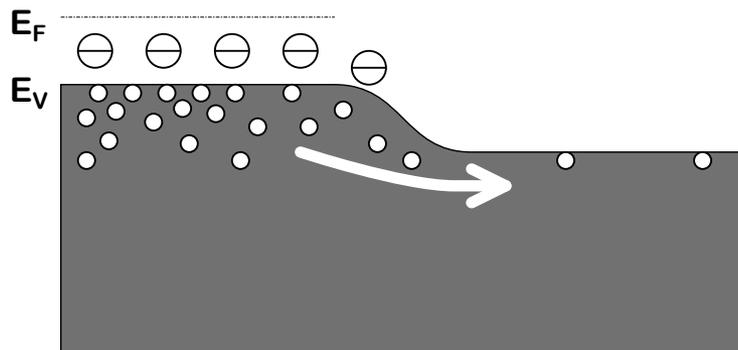
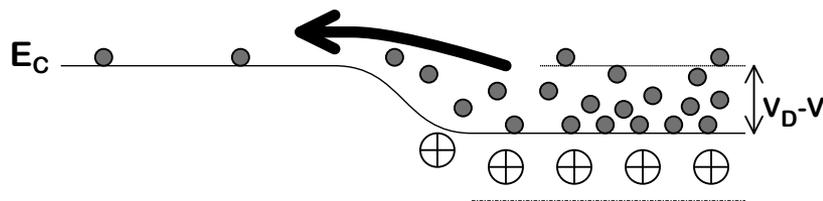
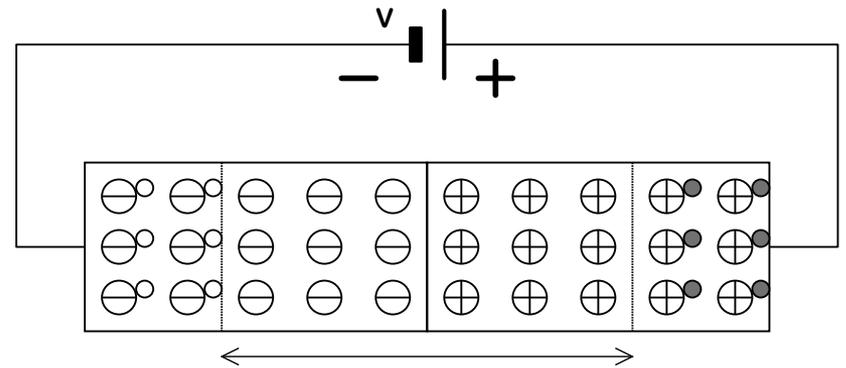
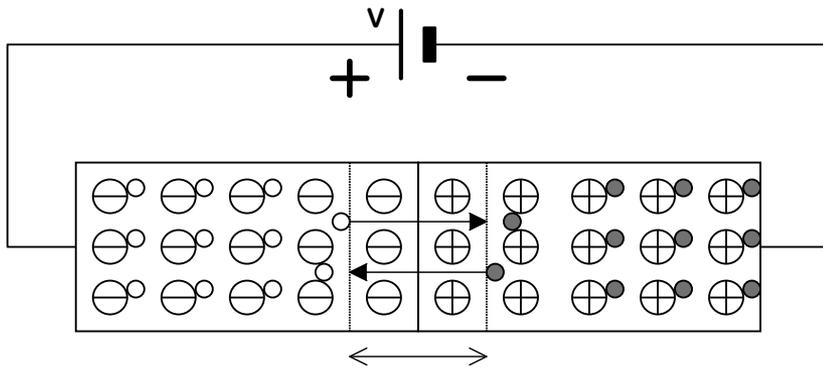
$$\frac{1}{C^2} = \frac{2}{q\epsilon_S\epsilon_0} \frac{N_A + N_D}{N_A N_D} (V_D + V)$$



p n 接合ダイオードの I-V特性



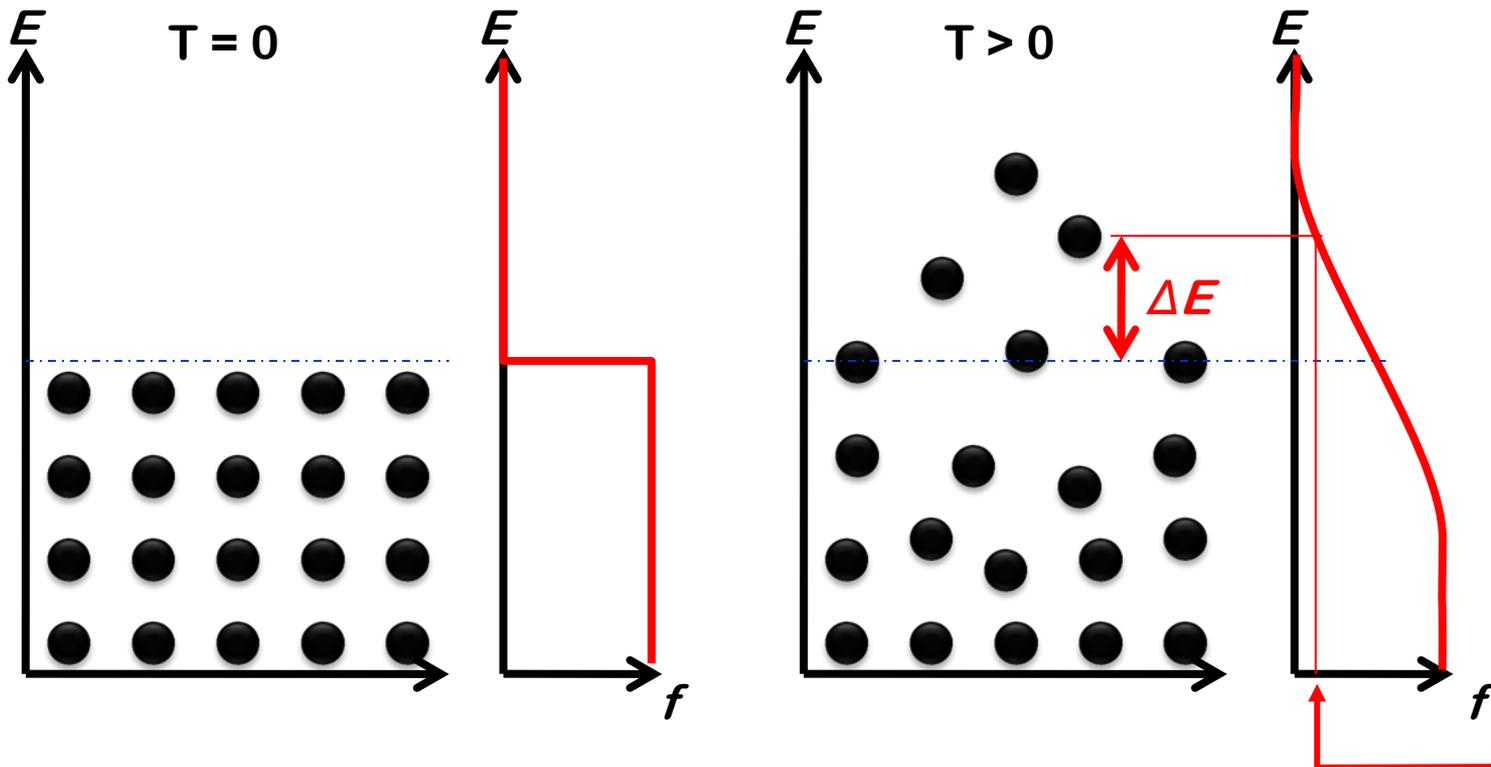
復習 pn接合ダイオード：バイアス時



復習：ボルツマン分布関数

$$f_n(\Delta E) = \exp\left(-\frac{\Delta E}{kT}\right)$$

温度 $T > 0$ の時に, ΔE だけ高いエネルギー準位に電子を見つける確率



pn接合ダイオードのIV特性

順方向電圧印加の効果

p形側に対して、n形側の電位が V だけ高くなる
→ 電子・正孔にとっての障壁の高さが V だけ減少

n形半導体側から $q(V_D - V)$ の障壁を越えてp形に移動できる電子の密度

ボルツマン因子に比例 : $\Phi_{n \rightarrow p} = K_1 \exp[-q(V_D - V) / kT]$

p形半導体側からn形半導体側に移動する電子の密度

印加電圧に依存しない : $\Phi_{p \rightarrow n} = K_2$

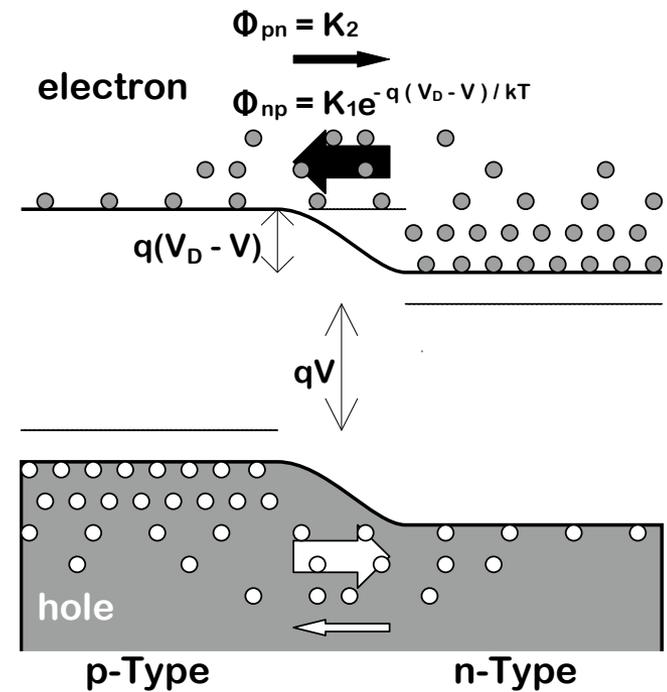
p→nに移動する正味の電子による電流は

$$J_e = q(\Phi_{n \rightarrow p} - \Phi_{p \rightarrow n})$$

$$J_e = q(K_1 e^{-q(V_D - V) / kT} - K_2)$$

$V=0$ にて $J_e=0$ であるから, $K_2 = K_1 e^{-qV_D / kT}$

$$\begin{aligned} J_e &= K_1 e^{-qV_D / kT} (e^{qV / kT} - 1) \\ &= J_{0e} (e^{qV / kT} - 1) \end{aligned}$$



pn接合ダイオードのIV特性

電子電流

$$J_e = J_{0e} (e^{qV/kT} - 1)$$

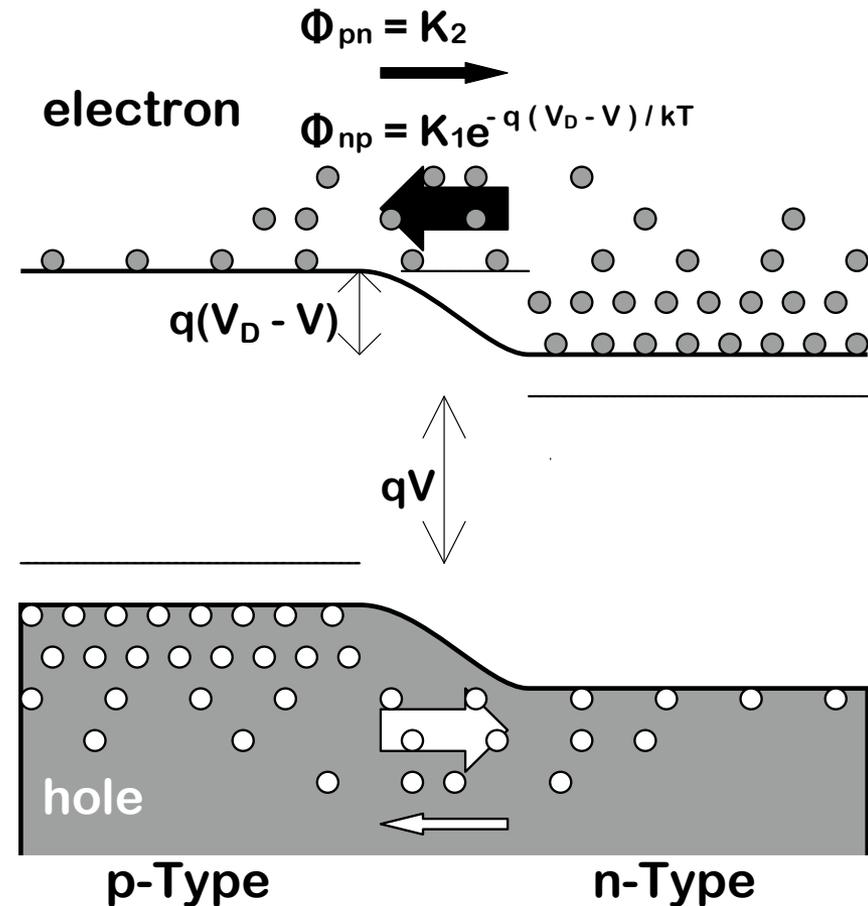
正孔電流

$$J_h = J_{0h} (e^{qV/kT} - 1)$$

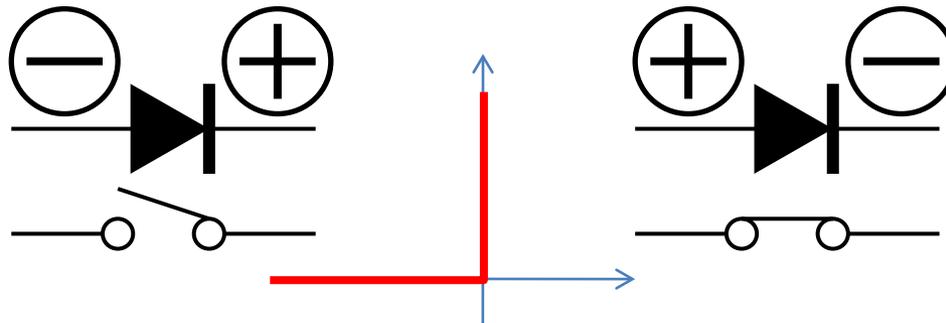
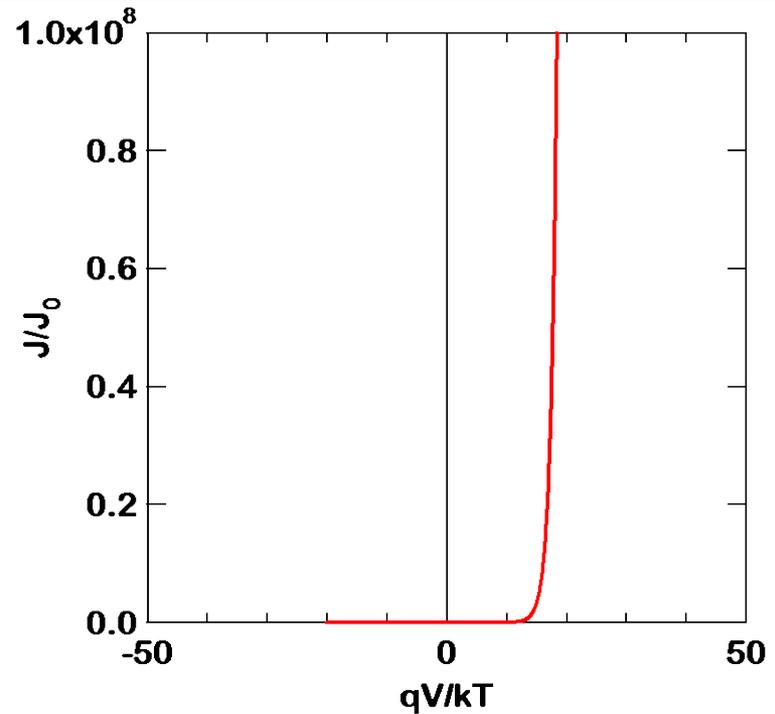
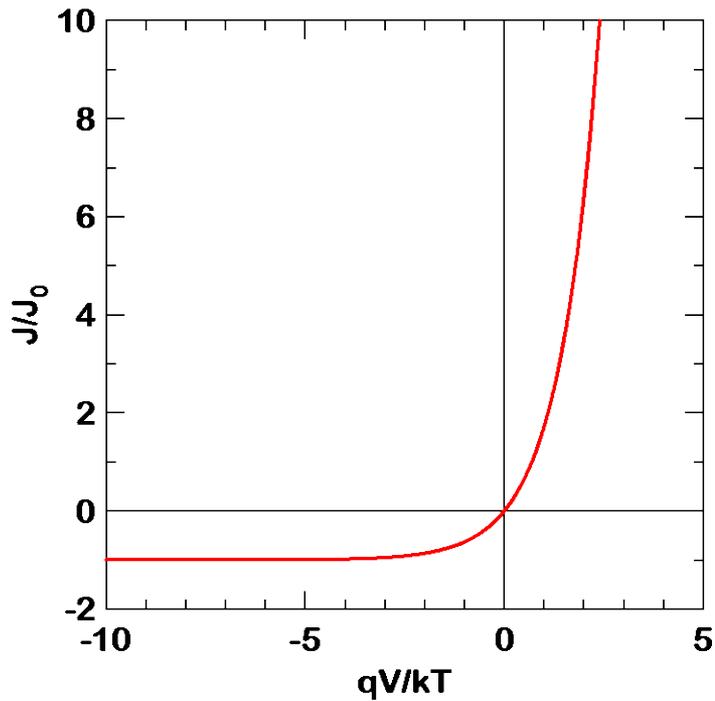
全電流

$$J = J_0 (e^{qV/kT} - 1)$$

$$J_0 = J_{0e} + J_{0h}$$

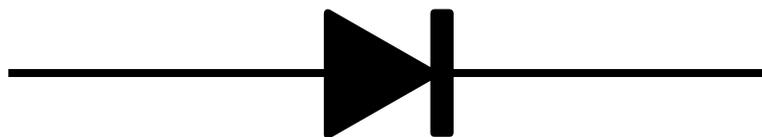


pn接合ダイオードのIV特性

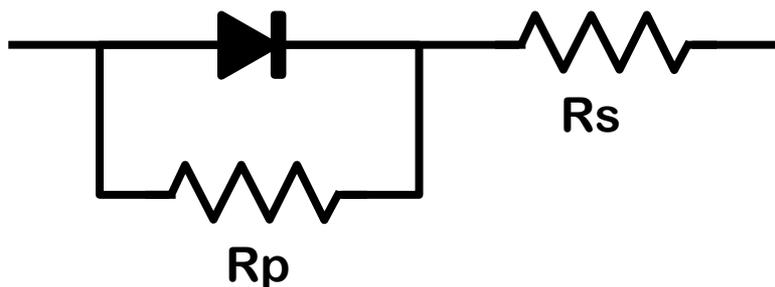


ダイオードの直列抵抗と並列抵抗

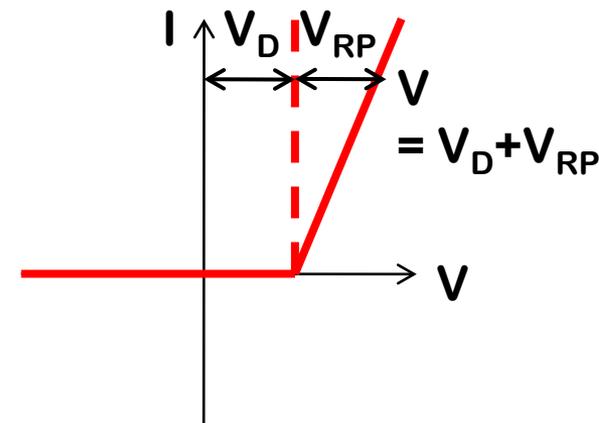
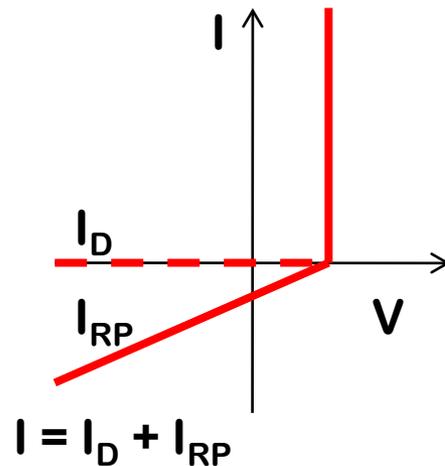
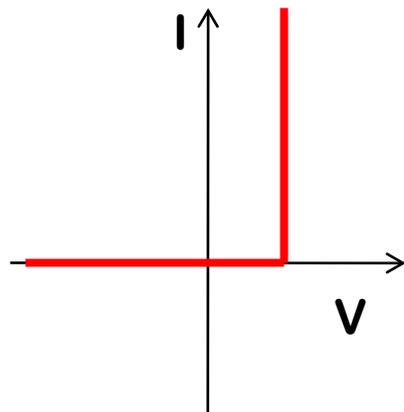
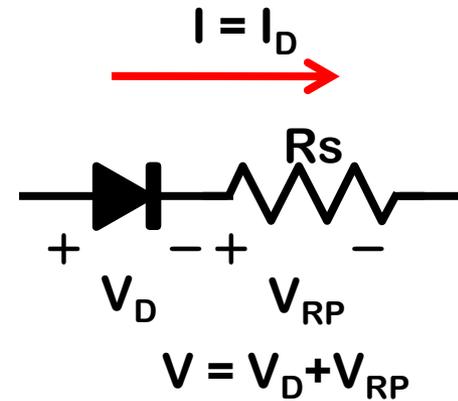
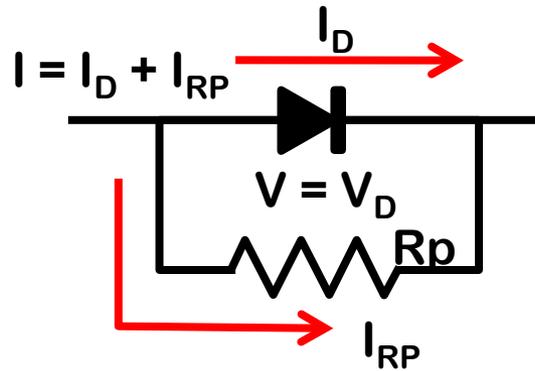
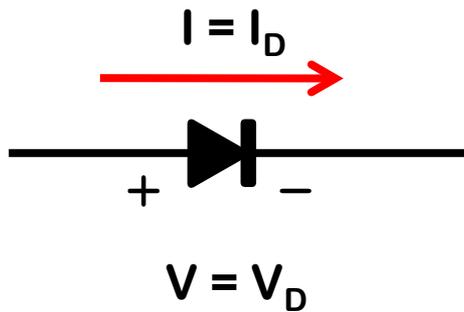
理論解析時のモデル：半導体内抵抗ゼロ，漏れ電流無しを仮定



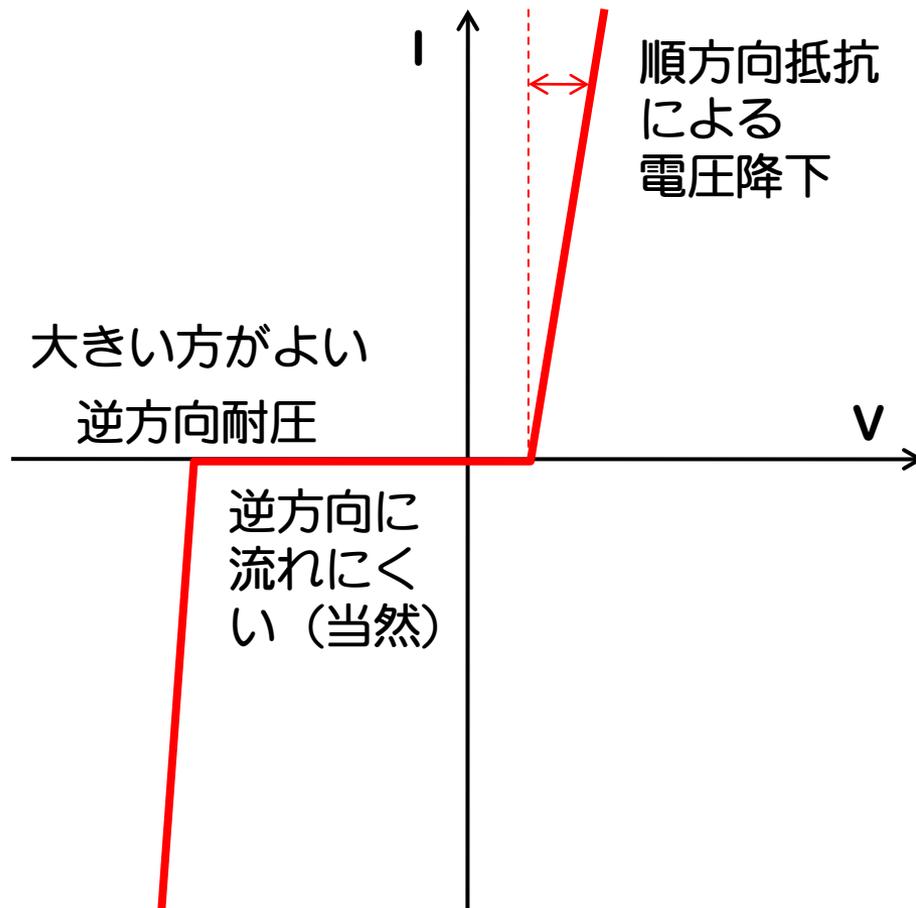
実際のダイオード： 半導体内に抵抗がある（直列抵抗）
半導体内を漏れ電流が流れる（並列抵抗）



ダイオードの直列抵抗と並列抵抗



ダイオードに望まれる特性



順方向の抵抗は小さい方がよい

なぜ？

ジュール加熱で発熱してしまう
電気のON/OFFをする毎に
無用な電力を消費してしまう。

解決策は？ = 抵抗を小さくする
そのためには？ = 面積を大きくする

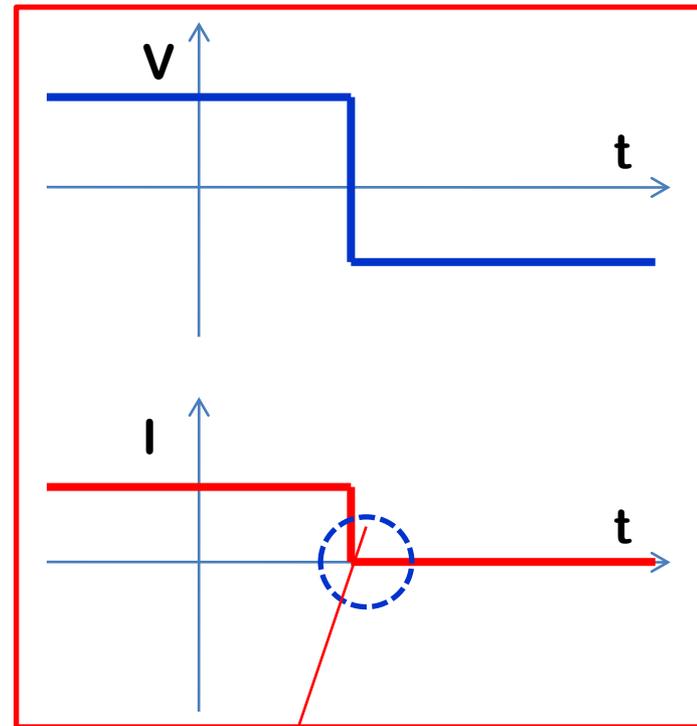
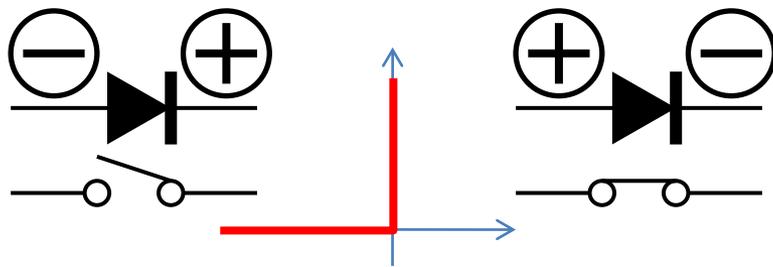
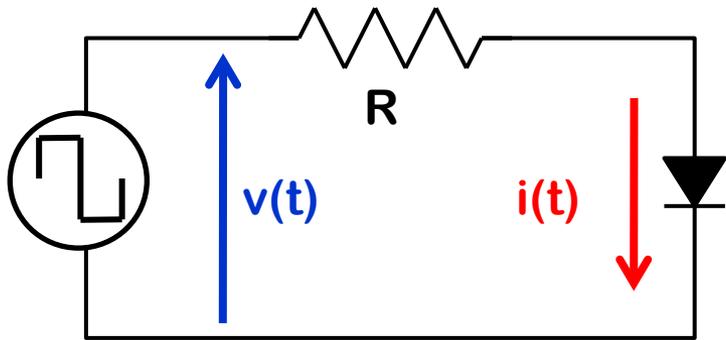
小さい面積のものにしたいときは
どうするの？

小さくても抵抗の小さい素材
(シリコン以外) を使う
→ 新規開発が必要な分野

p n 接合ダイオード

留意しなければ
ならないこと

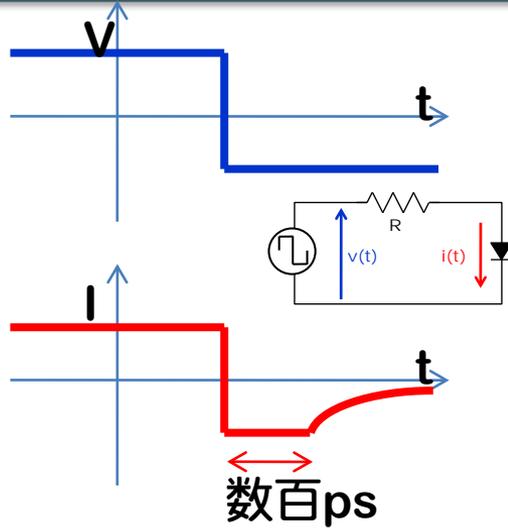
pn接合ダイオードの過渡応答



単純なスイッチのモデルから予測される電流電圧波形

この部分を拡大すると
ちよつと違うことがわかる

小数キャリアの蓄積効果



p型に注入された少数キャリア（電子）が消滅し、
 静特性のときの密度になるまでには多少時間が必要

- (a) 順バイアス中
- (b) 逆バイアス印加直後
- (c) 境界での少数キャリア密度が熱平衡値になったとき
- (d) 境界での少数キャリア密度の減少に従って、(c)から
 (d)へと空乏層に印加されている電圧が逆方向になり、
 印加された電圧に近づくために、電流が減少する。

